

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033962

(43)Date of publication of application : 31.01.2002

---

(51)Int.Cl. H04N 5/335

G03B 7/081

G03B 7/091

G03B 19/02

H01L 27/146

H03M 1/18

---

(21)Application number : 2001-  
024493

(71)Applicant : SONY CORP

(22)Date of filing : 31.01.2001 (72)Inventor : YOSHIMURA SHINICHI  
UEDA KAZUHIKO

---

(30)Priority

Priority number : 2000134686 Priority date : 08.05.2000 Priority country : JP

---

(54) IMAGE PICKUP DEVICE AND ITS DRIVE CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve A/D conversion of a photoreceptive signal and other operations on the same circuit.

SOLUTION: This image pickup device is composed of a photoreceptive part for generating an electrical signal according to the brightness of a subjectan

amplification part for amplified a light reception signal a plurality of storage parts for storing an amplified electrical signal as a current signal a load part for converting the current output of each storage part into a voltage an operation part for calculating the output signal of the load part an output part for outputting the operation result to the outside and a drive control part for controlling the drive of each part. By comparing a reference signal level stored at one storage part with the brightness of a subject to be stored at another storage part while performing integration in terms of time the brightness of the subject is subjected to A/D conversion based on time when a brightness signal exceeds a reference signal.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] A light sensing portion which generates an electrical signal according to a luminosity of a photographic subject and an amplifier which amplifies an output signal of said light sensing portion Two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal A load section which transforms a current output from said storage parts store into voltage and operation part which calculates an output signal of said load section Provide an outputting part which outputs the result of an operation in said operation part outside and a drive control section which controls a drive of said each part and said drive control section While making one storage parts store memorize a current signal equivalent to a reference signal level It is made to memorize integrating with a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores in time An imaging device the moment it has the drive controlling mode to which comparison processing of a reference signal level and the luminosity of a photographic subject is carried out in said operation part based on a current signal read from each storage parts store and a luminosity signal of a photographic subject exceeded a reference signal level wherein said operation part outputs a recognition signal.

[Claim 2]While said drive control section makes a current signal equivalent to a luminosity of a photographic subject in time which is different to each of two or more of said storage parts stores memorizeThe imaging device according to claim 1 the moment it has other drive controlling modes to which comparison processing of the luminosity of a photographic subject in each time is carried out in said operation part based on a current signal read from each storage parts store and a luminosity of a photographic subject changedwherein said operation part outputs a recognition signal.

[Claim 3]The imaging device according to claim 1wherein said amplifier amplifies a current signal according to a principle of a current mirror including mirror transistors which countered and connected gate electrodes.

[Claim 4]The imaging device according to claim 1wherein said storage parts store memorizes a current signal according to a principle of current copia.

[Claim 5]Optical area which has aforementioned each part for every pixeland has arranged many pixels to matrix form in every directionThe imaging device according to claim 1 with which a drive circuit which generates a signal which drives each pixel arranged in this optical areaand an output circuit which outputs an output signal from each pixel outside are characterized by what is mounted on the same circuit chip.

[Claim 6]A light sensing portion which generates an electrical signal according to a luminosity of a photographic subjectand an amplifier which amplifies an output signal of said light sensing portionTwo or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signalA load section which transforms a current output from said storage parts store into voltageand operation part which calculates an output signal of said load sectionA step which memorizes a current signal which is a drive controlling method of an imaging device which comprises an outputting part which outputs the result of an operation in said operation part outsideand is equivalent to a reference signal level at a (a)1 \*\* storage parts store(b) A step memorized while integrating with a current signal which is equivalent to a luminosity of a photographic subject at

other storage parts stores in time(c) A step which carries out comparison processing of a reference signal level and the luminosity of a photographic subject in said operation part based on a current signal read from each storage parts store(d) A step to which said operation part outputs a recognition signal the moment a luminosity signal of a photographic subject exceeded a reference signal levelCome outrealize drive controlling mode constitutedand lapsed time until a luminosity of a photographic subject measured by recognition signal output in said step (d) exceeds a reference signal level is measuredA drive controlling method of an imaging device changing into a digital variable a luminosity of a photographic subject which is analog quantity based on this measuring result.

[Claim 7]A step which memorizes a current signal equivalent to a luminosity of a photographic subject in time which is different to each of a storage parts store of the (p) aforementioned plurality(q) A step which carries out comparison processing of the luminosity of a photographic subject in each time in said operation part based on a current signal read from each storage parts store(r) a drive controlling method of the imaging device according to claim 6 realizing a step to which said operation part outputs a recognition signal the moment a luminosity of a photographic subject changedand other drive controlling modes in which it is come out and constitutedand calculating a time change of a luminosity of a photographic subject at high speed.

[Claim 8]A drive controlling method of the imaging device according to claim 6wherein said amplifier amplifies a current signal according to a principle of a current mirror including mirror transistors which countered and connected gate electrodes.

[Claim 9]A drive controlling method of the imaging device according to claim 6wherein said storage parts store memorizes a current signal according to a principle of current copia.

[Claim 10]A drive controlling method of the imaging device according to claim 6wherein aforementioned each part is mounted on the same circuit chip.



[Claim 11] While memorizing a current signal which is equivalent to a reference signal level at one storage parts store have the following memorize a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores and said comparing element An imaging device characterized by a thing in comparison with a signal inputted from other storage parts stores while raising gradually in time a reference signal level inputted from this 1 \*\* storage parts store.

A light sensing portion which generates an electrical signal according to a luminosity of a photographic subject.

An amplifier which amplifies an output signal of said light sensing portion.

Two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal.

A comparing element which inputs and compares a signal read from each aforementioned storage parts store and an outputting part which outputs a comparison result in said comparing element as a pixel signal.

[Claim 12] While memorizing a current signal which is equivalent to a reference signal level at one storage parts store have the following memorize a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores and said bias part An imaging device characterized by what a bias signal is added for so that a reference signal level may rise from this 1 \*\* storage parts store gradually in time to a signal inputted into said comparing element.

A light sensing portion which generates an electrical signal according to a luminosity of a photographic subject.

An amplifier which amplifies an output signal of said light sensing portion.

Two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal.

A comparing element which inputs and compares a signal read from each aforementioned storage parts store a bias part which adds a bias signal to each

signal inputted into said comparing element and an outputting part which outputs a comparison result in said comparing element as a pixel signal.

[Claim 13] The imaging device according to claim 12 wherein said amplifier amplifies a current signal according to a principle of a current mirror including mirror transistors which countered and connected gate electrodes.

[Claim 14] The imaging device according to claim 12 wherein said storage parts store memorizes a current signal according to a principle of current copia.

[Claim 15] Optical area which has aforementioned each part for every pixel and has arranged many pixels to matrix form in every direction. The imaging device according to claim 12 with which a drive circuit which generates a signal which drives each pixel arranged in this optical area and an output circuit which outputs an output signal from each pixel outside are characterized by what is mounted on the same circuit chip.

[Claim 16] A light sensing portion which generates an electrical signal characterized by comprising the following according to a luminosity of a photographic subject. A drive controlling method of an imaging device of a type which outputs a comparison result of a signal which was provided with an amplifier which amplifies an output signal of said light sensing portion and two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal and was read from each aforementioned storage parts store as a pixel signal.

- (a) A step which memorizes a current signal which is equivalent to a reference signal level at one storage parts store.
- (b) A step which memorizes a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores.
- (c) A step which raises gradually in time a reference signal level read from this 1\*\* storage parts store.
- (d) a step which compares a reference signal level which rose gradually in time by said step (c) with a current signal read from a storage parts store of these

others and (e) -- a step which outputs a comparison result by said step (d) as a pixel output.

[Claim 17] A drive controlling method of the imaging device according to claim 16 wherein said amplifier amplifies a current signal according to a principle of a current mirror including mirror transistors which counter and connected gate electrodes.

[Claim 18] A drive controlling method of the imaging device according to claim 16 wherein said storage parts store and memorize a current signal according to a principle of current copying.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to an imaging device constituted small and lightweight and a drive controlling method for the same. It is related with an imaging device realized using the semiconductor manufacturing technology of CMOS (Complementary Metal-Oxide Semiconductor: complementary metal oxide semiconductor) etc. and a drive controlling method for the same.

[0002] This invention relates to an imaging device which accumulates various circuit modules for processing the detecting signal in each pixel on the same chip and a drive controlling method for the same. In detail, it is related with an imaging device which realizes AD (Analog-to-Digital) conversion process and other one or more data processing to a pixel signal especially using the circuit module on the same chip and a drive controlling method for the same.

[0003]

[Description of the Prior Art] Rapid progress of the semiconductor manufacturing technology of these days has become available in a jointly comparatively

cheap image sensor. As a result in personal digital assistants such as a cellular phone and PDA (Personal Digital Assistant) the apparatus which has [ the camera ] attached or carries a small camera is developed and it is beginning to circulate in a commercial scene. However since these personal digital assistants are characterized by a small light weight the camera carried must also have a small light weight. As for portable equipment it is \*\* \*\* that not only an equipment body but the attachment and mounted part are low power consumption since it is generally a battery-operated type.

[0004] Generally if it is called a camera the thing using a CCD (Charge Coupled Device: charge coupled device) sensor can be visualized. CCD is an integrated circuit constituted by allocating an MOS (Metal Oxide Semiconductor) mold electrode like a chain. The image data which picturized the electric charge of the semiconductor surface from a certain electrode using the function transmitted to the following electrode one by one is outputted. However it is hard to say that the CCD sensor has turned to a use like the above portable devices from that power supply voltage is two or more necessities and the point that power consumption is comparatively large.

[0005] On the other hand a CMOS (Complementary Metal-Oxide Semiconductor: complementary metal oxide semiconductor) image sensor is beginning to capture the spotlight as a next-generation image sensor.

[0006] If it is this type mounted using a CMOS technology of image sensors small size and a weight saving and specifications such as low power consumption can be satisfied. Various circuit components realizable by a CMOS technology are accumulable on the same chip as an image sensor. Especially the photodiode output in each pixel on a sensor is changed into a digital value from an analog value after passing through noise rejection and gain correcting. Some reports of the CMOS image sensor which carries the function to perform image processing furthermore with a digital signal on the same chip are also made. What is called especially a "smart sensor" that carries the function to perform image processing on a sensor is expected from the object for games to the security use as what is

used broadly.

[0007]As a special feature article about a CMOS image sensor a CMOS image sensor with a digital image processing capability(video information media academic journal Vol.53No.2pp.172-177-1999) is mentioned for example.

[0008]As a paper CMOS Active Pixel Sensor. with On-Chip Successive Approximation Analog-To-Digital Converter(IEEE Transactions Zhimin Zhou et al.) On Electron Devices Vol.44 and No.10-1997 are mentioned.

[0009]Furthermore as an United States patent The U.S. Pat. No. 5801657 specification (the name of an invention: SERIAL ANALOG-TO-DIGITAL CONVERTER USING SUCCESSIVE COMPARISONS) etc. which were published as of September 11 1998 exist.

[0010]however most of such art to precede realize a desired function by carrying an analog-to-digital converter (it is hereafter considered as an "AD converter") for exclusive use for every pixel or every pixel row on the same chip as an image sensor. Therefore in order to perform processing of those other than an AD converter to a pixel output it is necessary to accumulate another circuit and there is a problem that the circuit structure of the whole image sensor chip cannot but become large.

[0011]In each advanced technology mentioned above since the circuit for removing the fixed pattern noise which originates in characteristic dispersion of an indispensable amplification transistor or a readout transistor for every pixel becomes indispensable separately circuitry will become increasingly complicated.

[0012]In the literature about a smart sensor a dark scene also has a report about some from which the large image pick-up result of the dynamic range which can be buried and reproduced is obtained without being saturated also with a bright scene. As this kind of advanced technology A current characteristic [ in / for a photodiode output / the subthreshold level field of a MOS transistor ] is used. What [ log transforms ] (work [ besides Hagiwara ] "logarithmic shift type CMOS area solid state image pickup device" and video information media academic journal Vol.54No.2pp.224-228 2000) The number of times with which the

photodiode output was saturated is counted. The number of times. What is converted into a luminosity. work [ besides Miyagawa ] "multi-storage time photo detector" and video information media academic journal Vol.51 No.2 pp.256-262 work "A/D conversion on image sensor using accumulation intermediate image" besides 1997; Ino and video information media academic journal Vol.54. No.2 pp.297-300 2000 etc. are mentioned.

[0013] In however the case of the type which log transforms using the electrical quantity characteristic [ in / for the former photodiode output / the subthreshold level field of a MOS transistor ]. There are problems like there is a problem in a response when incident light quantity decreases rapidly or the evil of increase of the fixed pattern noise by the influence of the noise in low illumination or characteristic dispersion of the circuit in a pixel arises.

[0014] In the type which counts the number of times with which the latter photodiode output was saturated and is converted into a luminosity since a signal is memorized as voltage or is compared high-speed processing becomes difficult and there is a problem that the number of bits after conversion digital from an analog is not enough.

[0015]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to provide an outstanding imaging device constituted small and lightweight and a drive controlling method for the same.

[0016] The further purpose of this invention is to provide an outstanding imaging device and a drive controlling method for the same which are realized using the semiconductor manufacturing technology of CMOS (Complementary Metal-Oxide Semiconductor: complementary metal oxide semiconductor) etc.

[0017] The further purpose of this invention is to provide an outstanding imaging device and a drive controlling method for the same which accumulate various circuit modules for processing the detecting signal in each pixel on the same chip.

[0018] The further purpose of this invention is to provide an outstanding imaging device and a drive controlling method for the same which can realize AD

(Analog-to-Digital) conversion process and other one or more data processing to a pixel signal using the circuit module on the same chip.

[0019]When the further purpose of this invention changes light-receiving signal strength into a digital value from an analog value there is in providing an outstanding imaging device and a drive controlling method for the same which can acquire the picture reproduced from the dark field to [ expanded the dynamic range simultaneously and ] the bright field.

[0020]

[Means for Solving the Problem]This invention is made in consideration of an aforementioned problem and the 1st side A light sensing portion which generates an electrical signal according to a luminosity of a photographic subject and an amplifier which amplifies an output signal of said light sensing portion Two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal A load section which transforms a current output from said storage parts store into voltage and operation part which calculates an output signal of said load section Provide an outputting part which outputs the result of an operation in said operation part outside and a drive control section which controls a drive of said each part and said drive control section While making one storage parts store memorize a current signal equivalent to a reference signal level It is made to memorize integrating with a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores in time Having the drive controlling mode to which comparison processing of a reference signal level and the luminosity of a photographic subject is carried out in said operation part based on a current signal read from each storage parts store said operation part is an imaging device outputting a recognition signal the moment a luminosity signal of a photographic subject exceeded a reference signal level.

[0021]In an imaging device concerning the 1st side of this invention said drive control section While making a current signal equivalent to a luminosity of a photographic subject in time which is different to each of two or more of said storage parts stores memorize it may have other drive controlling modes to which

comparison processing of the luminosity of a photographic subject in each time is carried out in said operation part based on a current signal read from each storage parts store. In such a case it may be made for said operation part to output a recognition signal the moment a luminosity of a photographic subject changed.

[0022] Said amplifier may also contain mirror transistors which countered and connected gate electrodes. In such a case said amplifier can amplify a current signal according to a principle of a current mirror.

[0023] It may be made for said storage parts store to memorize a current signal according to a principle of current copia.

[0024] It may be made to mount aforementioned each part on the same circuit chip by using CMOS (Complementary Metal-Oxide Semiconductor: complementary metal oxide semiconductor) production technology. For example optical area which has aforementioned each part for every pixel and has arranged many pixels to matrix form in every direction. A drive circuit which generates a signal which drives each pixel arranged in this optical area and an output circuit which outputs an output signal from each pixel outside can mount on the same circuit chip and can constitute an image sensor. Carry out the temporary storage of the image frame picturized with such an image sensor to a predetermined frame memory or digital to analog is carried out. A picture output can be carried out on a display of NTSC (National Television System Committee) form or VGA (Video Graphic Array) form.

[0025] A light sensing portion which generates an electrical signal [ side / of this invention / 2nd ] according to a luminosity of a photographic subject. An amplifier which amplifies an output signal of said light sensing portion and two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal. A load section which transforms a current output from said storage parts store into voltage and operation part which calculates an output signal of said load section. A step which memorizes a current signal which is a drive controlling method of an imaging device which comprises an outputting part



which outputs the result of an operation in said operation part outside and is equivalent to a reference signal level at a (a)1 \*\* storage parts store (b) A step memorized while integrating with a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores in time (c) A step which carries out comparison processing of a reference signal level and the luminosity of a photographic subject in said operation part based on a current signal read from each storage parts store (d) it is a drive controlling method of an imaging device characterized by a step to which said operation part outputs a recognition signal and realizing drive controlling mode come out of and constituted the moment a luminosity signal of a photographic subject exceeded a reference signal level. Lapsed time until a luminosity of a photographic subject exceeds a reference signal level with a recognition signal outputted in said step (d) is measurable. And based on this lapsed time a luminosity of a photographic subject which is analog quantity is convertible for a digital variable.

[0026] A drive controlling method of an imaging device concerning the 2nd side of this invention A step which memorizes a current signal equivalent to a luminosity of a photographic subject in time which is different to each of a storage parts store of the (p) aforementioned plurality (q) a step which carries out comparison processing of the luminosity of a photographic subject in each time in said operation part based on a current signal read from each storage parts store and (r) -- said operation part may realize a step which outputs a recognition signal the moment a luminosity of a photographic subject changed and other drive controlling modes come out of and constituted. In such a case a time change of a luminosity of a photographic subject can be calculated at high speed.

[0027] A light sensing portion which generates an electrical signal [ side / of this invention / 3rd ] according to a luminosity of a photographic subject An amplifier which amplifies an output signal of said light sensing portion and two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal While memorizing a current signal which possesses a comparing element which inputs and compares a signal read from each

aforementioned storage parts store and an outputting part which outputs a comparison result in said comparing element as a pixel signal and is equivalent to a reference signal level at one storage parts store. Memorizing a current signal which is equivalent to a luminosity of a photographic subject at other storage parts store. said comparing element is an imaging device characterized by a thing in comparison with a signal inputted from other storage parts stores. raising gradually in time a reference signal level inputted from this 1 \*\* storage parts store.

[0028] According to the imaging device concerning the 3rd side of this invention, after an electrical signal which a light sensing portion generates according to a luminosity of a photographic subject is amplified by an amplifier, it is memorized by one of the storage parts stores. And an electrical signal is read from a storage parts store and a pixel output is obtained by comparing this with a reference signal level.

[0029] Herein, in order to detect a dark light and to express as a luminosity, while it is necessary to raise a reference signal level in order to detect and express a bright light, it is necessary to lower a reference signal level. Then, it was made for a comparing element to compare with a signal inputted from other storage parts stores according to the imaging device concerning the 3rd side of this invention, raising gradually in time a reference signal level inputted from one storage parts store. Therefore, by [ which raise reference level gradually with progress of time ] detecting a bright light in an early period, reference level is set up low in time and a luminosity can be expressed in the wide range of the dynamic range from a dark light to a bright light.

[0030] A light sensing portion which generates an electrical signal [ side / of this invention / 4th ] according to a luminosity of a photographic subject. An amplifier which amplifies an output signal of said light sensing portion and two or more storage parts stores which memorize an electrical signal amplified in said amplifier as a current signal. A comparing element which inputs and compares a signal read from each aforementioned storage parts store and a bias part which

adds a bias signal to each signal inputted into said comparing element. While memorizing a current signal which possesses an outputting part which outputs a comparison result in said comparing element as a pixel signal and is equivalent to a reference signal level at one storage parts store. Memorizing a current signal which is equivalent to a luminosity of a photographic subject at other storage parts store. said bias part is an imaging device characterized by what a bias signal is added for so that a reference signal level may rise gradually in time to a signal inputted into said comparing element from this 1 \*\* storage parts store.

[0031] According to the imaging device concerning the 4th side of this invention, after an electrical signal which a light sensing portion generates according to a luminosity of a photographic subject is amplified by amplifier, it is memorized by one of the storage parts stores. And the comparing element can obtain a pixel output as compared with a current signal equivalent to a luminosity of a photographic subject read from other storage parts stores by making into a reference signal level a current signal read from one storage parts store.

[0032] As mentioned above, in order to detect a dark light and to express as a luminosity, while it is necessary to raise a reference signal level in order to detect and express a bright light, it is necessary to lower a reference signal level.

Then, according to the imaging device concerning the 4th side of this invention, a bias part. By adding a bias signal so that a reference signal level may rise from this 1 \*\* storage parts store gradually in time to a signal inputted into said comparing element, a reference signal level which rises gradually in time to a comparing element was supplied. Therefore, by [ which raise reference level gradually with progress of time ] detecting a bright light in an early period, reference level is set up low in time and a luminosity can be expressed in the wide range of the dynamic range from a dark light to a bright light.

[0033] A light sensing portion which generates an electrical signal [ side / of this invention / 5th ] according to a luminosity of a photographic subject. It has an amplifier which amplifies an output signal of said light sensing portion and two or more storage parts stores which memorize an electrical signal amplified in said

amplifier as a current signal A step which memorizes a current signal which is a drive controlling method of an imaging device of a type which outputs a comparison result of a signal read from each aforementioned storage parts store as a pixel signal and is equivalent to a reference signal level at a (a) 1 \*\* storage parts store (b) A step which memorizes a current signal which is equivalent to a luminosity of a photographic subject at other storage parts stores (c) A step which raises gradually in time a reference signal level read from this 1 \*\* storage parts store (d) A step which compares a reference signal level which rose gradually in time by said step (c) with a current signal read from a storage parts store of these others (e) It is a drive controlling method of an imaging device possessing a step which outputs a comparison result by said step (d) as a pixel output.

[0034] According to the drive controlling method of an imaging device concerning the 5th side of this invention after an electrical signal which a light sensing portion generates according to a luminosity of a photographic subject is amplified by amplifier it is memorized by one of the storage parts stores. And a pixel output can be obtained by comparing with a current signal equivalent to a luminosity of a photographic subject read from other storage parts stores by making into a reference signal level a current signal read from one storage parts store.

[0035] As mentioned above in order to detect a dark light and to express as a luminosity while it is necessary to raise a reference signal level in order to detect and express a bright light it is necessary to lower a reference signal level.

Then according to the drive controlling method of an imaging device concerning the 5th side of this invention. A reference signal level read from one storage parts store is raised gradually in time and a pixel output was obtained as compared with a current signal equivalent to a luminosity of a photographic subject read from other storage parts stores in this reference signal level. Therefore in an early period a luminosity can be expressed in the wide range of the dynamic range from a dark light to a bright light by [ which raise reference level gradually with progress of time while setting up reference level low in time ] detecting a bright light.

[0036]

[Function]The light sensing portion in which the imaging device concerning this invention generates the luminosity electrical signal of a photographic subjectIt comprises an amplifier which amplifies a light-receiving signaltwo or more storage parts stores which memorize an amplification electrical signal as a current signal a load section which transforms the current output of each storage parts store into voltage operation part which calculates the output signal of a load section an outputting part which carries out the external output of the result of an operation and a drive control section which controls the drive of each part.

[0037]While memorizing the current signal which is equivalent to a reference signal level at one storage parts store by the drive controlling by a drive control section it memorizes integrating with the current signal equivalent to the luminosity of a photographic subject in time to other storage parts stores. Subsequently based on the current signal read from each storage parts store a reference signal level is compared with the luminosity of a photographic subject in operation part. And based on lapsed time until the luminosity of a photographic subject exceeds a reference signal level the luminosity of the photographic subject which is analog quantity is convertible for a digital variable.

[0038]According to this invention an analog quantity called the luminosity of a photographic subject is convertible for a digital variable using an image sensor with the circuitry which calculates a time change of the luminosity of a photographic subject. Therefore it is not necessary to carry an analog-to-digital circuit for exclusive use on a circuit and circuit structure can be controlled compared with other methods with an equivalent function.

[0039]According to this invention in the A/D conversion processing changed into a digital variable from analog quantity the so-called large image pick-up of the dynamic range is realizable by adjusting a time [ to integrate with a reference signal level and the luminosity of a photographic subject ] unit.

[0040]According to this invention when changing the detecting signal of each pixel into a digital variable from analog quantity an image pick-up strong against what

is called random noise can be realized by integrating with the luminosity of a photographic subject in time.

[0041]According to each 3rd [ of this invention ] thru/or 5th sidean imaging deviceWhen it has two or more frame memoriescomparatorsand bias circuits for every pixel and analog-to-digital conversion is performed using themby making bias variablethe dynamic range can be expanded and it can reappear from a dark field to a bright field.

[0042]The purposethe featureand advantage of further others of this invention will become clear [ rather than ] by detailed explanation based on the example and the drawing to attach of this invention mentioned later.

[0043]

[Embodiment of the Invention]Hereafterthe example of this invention is explained in detailreferring to drawings.

[0044]The circuitry of the image sensor concerning a 1st embodiment of this invention is typically shown in the 1st embodiment drawing 1. As shown in the figurefor every sequencea vertical signal wire is constructed and an image sensor is constituted while the pixel 1 of a MxN individual is arranged by two-dimensional matrix form and a horizontal picture element driving signal group is constructed for every line.

[0045]The driving clock generator 2 is a circuit which generates the clock pulse for driving a unit pixel.

[0046]The vertical drive circuit 3 is supplied via a horizontal picture element driving signal group to each of the pixel row which consists the clock pulse generated in the driving clock generator 2 of M unit pixels horizontally located in a lineshifting operation timing.

[0047]The output circuit 4 allocated for every pixel row carries out level conversion of the output signal from each pixel supplied via the vertical signal wire 230and outputs it to the exterior of an image sensor.

[0048]To a horizontal driving signal track groupi.e.the driving clock pulse supplied to each pixel. Reset pulse  $\phi RST$  (301)transfer pulse  $\phi PTX$  (302)Light-

receiving signal read pulse  $\phi_{RD}$  (303)memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304)Memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305)memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306)Memory TR-2 short-circuit-pulse  $\phi_{MEM-2}$  (307)inverter A short circuit pulse  $\phi_{CPA}$  (308)inverter B short circuit pulse  $\phi_{CPB}$  (309)pixel read pulse  $\phi_{POUT}$  (310)and reset voltage  $V_{RST}$  (311) are contained. By operating these driving clock pulse to predetermined timingAD translation processing of a pixel output signal and other data processing are applicable to an image sensor. Howeverabout the operation timing of a driving clock pulseor the procedure of data processingit explains in detail behind.

[0049]For exampleit is possible to apply a CMOS technology and to mount all the circuit modules in an image sensor as shown in drawing 1 on the same chip.

[0050]In drawing 2the internal configuration of the pixel 1 arranged in an image sensor is illustrated. As shown in the figure100 million copies of set [ 1st ] of pixels 1 comprise k storage parts stores to 40-1 to k-th storage parts store 40-loads and the operation part 50the bias parts 55and the outputting parts 60 with the light sensing portion 10the 1st amplifier 20and the 2nd amplifier 30.

[0051]The light sensing portion 10 is a photoelectric conversion part which changes incident light into an electrical signal.

Generally it comprises a photo-diode (PD).

Operation of the light sensing portion 10 is controlled by the light sensing portion driving signal 11.

[0052]The 1st amplifier 20 outputs a current signal to the suitable timing specified by the 1st amplifier driving signal 21 while changing it into a level suitable for processing the current signal transmitted from the light sensing portion 10 by the 2nd following amplifier 30.

[0053]The 2nd amplifier 30 outputs a current signal to the suitable timing specified by the 2nd amplifier driving signal 31 while amplifying it even on a level suitable for memorizing the current signal transmitted from the 1st amplifier 20 in each following storage parts store 40.

[0054]All of k storage parts stores which consist of the 1st storage parts store 40-

1 - k-th storage parts store 40-k are connected to the output of the 2nd amplifier 30.

The hold stores of the current of this amplified signal can be carried out to the suitable timing to which it is specified by the storage parts store driving signal 41. What is necessary is for a required number just to determine the number k of the storage parts store allocated in one pixel in following data processing.

[0055]A load section and the operation part 50 are connected to all the outputs of the 1st storage parts store 40-1 - k-th storage parts store 40-k.

While changing the output current from all or some storage parts stores 40 into voltage data processing is performed to the suitable timing specified by the operation part driving signal 51.

Although the contents of the operation said here change with functions of an image sensor its comparison of the sum of a signal the difference of a signal and a signal etc. are common.

[0056]The bias part 55 generates the bias current for noise rejection required at the time of the operation in the operation part 50 according to the bias part driving signal 56.

[0057]The outputting part 60 is changed into a level suitable for outputting the result of an operation by a load section and the operation part 50 to the signal wire in an image sensor and is outputted as the pixel output 70 to suitable timing with the outputting part driving signal 61.

[0058]The driving signals 11-61 to each part are constructed for every pixel in the inside of an image sensor via the horizontal picture element driving signal group (above-mentioned). The vertical drive circuit 3 generates these driving signals 11-61 and drives them per M pixel rows horizontally located in a line.

[0059]The pixel output 70 from each pixel is mutually connected by the vertical signal wire 230 for every pixel row. After each vertical signal wire is changed into a suitable level by the output circuit 4 it is taken out by the exterior of an image sensor as an imaging signal.

[0060]The circuit structure of the unit pixel which realizes this invention is shown



in drawing 3 in detail. However the unit pixel shown in the figure shall have two storage parts stores. Hereafter the composition and the operating characteristic in the unit pixel shown in drawing 3 are explained.

[0061] A photo-diode (211) performs photoelectric conversion according to incident light intensity and accumulates an electron.

[0062] The transmission TR (212) comprises an MOS (Metal-Oxide Semiconductor: metal oxide semiconductor) transistor (n-MOS) of an n channel. While a photo-diode (211) is connected to the source side, the gate of the amplifier TR (214) is connected to the drain side. While transfer pulse  $\phi_{TX}$  (302) is inputted into the gate of the transmission TR (212) is high-level, a one [a transistor (212)] and the electron accumulated in the photo-diode (211) is transmitted and is used as gate potential of the amplifier TR (214). Gate potential of the amplifier TR (214) at this time is set to VFD (240).

[0063] The reset TR (213) comprises an n-MOS transistor and while the source side is connected to the drain of the transmission TR (212) and the gate of the amplifier TR (214), reset voltage  $V_{RST}$  (311) is impressed to the drain side. And while reset pulse  $\phi_{RST}$  (301) is inputted into the gate of the reset TR (213) is high-level, the gate potential VFD (240) of the amplifier TR (214) settles in the value which becomes settled by reset voltage  $V_{RST}$  (311).

[0064] The amplifier TR (214) comprises an n-MOS transistor and a gate is connected to the drain of the transmission TR (212) and the source of the reset TR (213) (above-mentioned). As for the source side while being connected to the light-receiving signal read-out switch (216), power supply voltage (VDD) is impressed to the drain side. The amplifier TR (214) can send the current according to the gate potential VFD (240) through source from a drain while the light-receiving signal read-out switch (216) is turned on.

[0065] The current mirror circuit (215) comprises two n-MOS transistors and the drain side is connected to the light-receiving signal read-out switch (216) while the source side of each transistor is grounded. While the light-receiving signal read-out switch (216) is turned on in the current mirror circuit (215) it has the work

which amplifies the value of the current which flows in from the amplifier TR (214) by the size ratio (rate according to the ratio of gate width if the gate length of a transistor is specifically the same) of two transistors which constitute a current mirror.

[0066] Each of two transistors which constitutes a light-receiving signal read-out switch (216) comprises an n-MOS transistor. The source side of each of this transistor is connected to the current mirror circuit (215). While being connected to the source of the amplifier TR (214) the drain side of one transistor The drain side of the transistor of another side is connected to the source the load TR (231) and the capacitor A (225) of memory TR-1 transfer switch (217) and memory TR-2 transfer switch (220).

[0067] While light-receiving signal read pulse  $\phi_{RD}$  (303) inputted into the gate of each transistor which constitutes a light-receiving signal read-out switch (216) is high-level The current which passes the amplifier TR (214) flows into a current mirror circuit (215) and a current mirror circuit (215) amplifies current according to the size ratio of each transistor. The amplified current flows into memory TR-1 (219) via memory TR-1 transfer switch (217) or flows into memory TR-2 (222) via memory TR-2 transfer switch (220).

[0068] Memory TR-1 transfer switch (217) comprises an n-MOS transistor and as for the source side is connected to the drain of the source of memory TR-2 transfer switch (220) the load TR (231) and the capacitor A (225) and a light-receiving signal read-out switch (216). The drain side is connected to the source of the drain of memory TR-1 (219) and memory TR-1 short circuiting switch (218). And while being high-level the memory TR-1 transfer pulse i.e.  $\phi_{MTX-1}$  which are inputted into a gate (304) it serves to send current to memory TR-1 (217).

[0069] When light-receiving signal read pulse  $\phi_{RD}$  (303) of the period which makes high-level memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) corresponds in the period which becomes high-level The current which flows through memory TR-1 (217) is the current amplified by the current mirror circuit (215) and memory TR-1 (217) can memorize this current. On the other hand when in agreement in

the period which makes  $\phi_{MTX-1}$  (304) the high level of load TR pulse  $\phi_{VL}$  (312) which the period made high-level mentions later. The current memorized by memory TR-1 (217) will flow into the load TR (231) namely a memory content will be read.

[0070] Memory TR-1 short circuiting switch (218) comprises an n-MOS transistor and the drain side is connected to the gate of memory TR-1 (219) while the source side is connected to the drain of memory TR-1 transfer switch (217). And while memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) is inputted into a gate is high-level it serves to short-circuit the gate and source of memory TR-1 (219).

[0071] While memory TR-1 (219) comprises a MOS transistor (p-MOS) of a p channel and the source side is connected to power supply voltage (VDD) The drain side is connected to the source of the drain of memory TR-1 transfer switch (217) and memory TR-1 short circuiting switch (218). And since the gate is connected to the drain of memory TR-1 short circuiting switch (218) Since it will be in the state where the gate and the drain short-circuited while memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) is high-level it will operate in a saturation region and the current according to gate potential = drain potential will flow.

[0072] While memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) has a low level memory TR-1 (219) As long as gate potential is maintained by comparatively small gate capacitance and other parasitic capacitance while memorizing the current which flowed previously it is possible to send the current again (current copia operation). In this meaning memory TR-1 (219) can operate as the 1st storage parts store 40-1 shown in drawing 2. And since gate capacitance is small this storage operation has the merit that it can carry out at high speed.

[0073] About memory TR-2 transfer switch (220) memory TR-2 short circuiting switch (221) and the kind of memory TR-2 (222) a junction state and an operating characteristic. The timing of memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and memory TR-2 short-circuit-pulse  $\phi_{MEM-2}$  (307) is also included Memory TR-1 transfer switch (217) memory TR-1 short circuiting switch (218) and the kind of memory TR-1 (219) Since it is the same as that of the timing of junction

state operating characteristic and memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) explanation is omitted in this specification.

[0074] While the load TR (231) comprises an n-MOS transistor and the source side is grounded, the drain side is connected to the drain of a light-receiving signal read-out switch (216), the source of memory TR-1 transfer switch (217) and memory TR-2 transfer switch (220), and the capacitor A (225). And while load TR pulse  $\phi_{VL}$  (312) inputted into a gate is high-level, the voltage according to the flowing current occurs in the drain side of the load TR (231).

[0075] With the composition according to [the inverter A (224)] to general n-MOS transistor and p-MOS transistor, the capacitor A (225) is connected to (it does not illustrate) an input side, and the capacitor B (228) is connected to the output side, respectively. The source and the drain of the inverter A short circuiting switch (223) are connected to the input side and output side of the inverter A (224), respectively.

[0076] An inverter A short circuiting switch (223) comprises an n-MOS transistor, and source and drain are connected to the input side and output side of the inverter A (224), respectively (however, the reverse may be sufficient as the correspondence relation of connection). And while inverter A short circuit pulse  $\phi_{CMPA}$  (308) inputted into the gate is high-level, the input side and output side of the inverter A (225) are short-circuited.

[0077] Since the input side and output side of the inverter A (225) connect too hastily while the inverter A short circuiting switch (223) is turned on, the output voltage settles in the voltage of power supply voltage which is mostly equivalent to a half. This voltage is made into operating voltage  $V_{inv-A}$  of the inverter A (225).

[0078] On the other hand, while the inverter A short circuiting switch (223) is come by, the potential of an output side is determined according to the potential generated in the capacitor A (225) of the input side of the inverter A (225).

[0079] The inverter B (227) is the composition by general n-MOS transistor and p-MOS transistor, and while the capacitor B (228) is connected to an input side, the

drain of the pixel read-out switch (229) is connected to the output side. The source and the drain of the inverter B short circuiting switch (226) are connected to the input side and output side of the inverter B (227) respectively.

[0080] An inverter B short circuiting switch (226) comprises an n-MOS transistor and source and a drain are connected to the input side and output side of the inverter B (227) respectively (however the reverse may be sufficient as the correspondence relation of connection). And while inverter B short circuit pulse  $\phi_{CMPB}$  (309) inputted into the gate is high-level the input side and output side of the inverter B (227) are short-circuited.

[0081] Since the input side and output side of the inverter B (227) connect too hastily while the inverter B short circuiting switch (226) is turned on the output voltage settles in the potential of power supply voltage which is mostly equivalent to a half. This voltage is made into operating voltage  $V_{inv-B}$  of the inverter B (227).

[0082] On the other hand while the inverter B short circuiting switch (226) is come by off the voltage according to the potential generated in the capacitor B (228) in the input side of the inverter B (227) appears in an output side.

[0083] A pixel read-out switch (229) comprises an n-MOS transistor and while the source side is connected to a vertical signal wire (230) the drain side is connected to the drain (or source) of an inverter B short circuiting switch (226) at the output side of the inverter B (227). And while pixel read pulse  $\phi_{POUT}$  (310) inputted into the gate is high-level the voltage level according to the output voltage of the inverter B (227) will occur in a vertical signal wire (230).

[0084] In the unit pixel shown in drawing 3 the principle figure which changes into a digital variable the luminosity which is analog quantity is shown in drawing 4.

[0085]  $V_{FD}$  is the gate potential of the amplifier TR (214) of drawing 3 (above-mentioned) and is reset in the usual operation by the reset level decided by reset voltage equal to power supply voltage.

[0086] If light is irradiated by the photo-diode (211) the electron by which photoelectric conversion was carried out will be accumulated. This accumulation electron is transmitted to the gate side of the amplifier TR (214) by one [ the

transmission TR (212) ]. As a result the gate potential VFD (240) falls from a reset level.

[0087]The degree to which this voltage falls is proportional to the quantity of the electron transmitted or the electron number which accumulated in the photo-diode (211) and this is equivalent to incident light intensity. Therefore the fall of the gate potential VFD (240) becomes steep so that a bright light enters and VFD (240) will fall gently so that incident light is conversely dark.

[0088]If character which was mentioned above is used based on a triangular similarity relation each following formula can express each brightness level  $V_H$  of a bright light shown with the line H for example in drawing 4 the light of the middle luminosity of the line M and a dark light of the line L  $V_M$  and  $V_L$ . namely [0089]

[Equation 1]

$V_H = TS - \Delta V_R / T_H$  (formula 1)

$V_M = TS - \Delta V_R / T_M$  (formula 2)

$V_L = TS - \Delta V_R / \text{tangent line}$  (formula 3)

[0090]However in each formula  $T_H$ ,  $T_M$  and tangent line express time when the reference level decided when each showing a luminosity of the line H, M and L makes reset voltage reference voltage is intersected.

[0091]As shown also in drawing 4 and each formula it becomes possible to express the luminosity of incident light as a function of time. That is if the time by the moment the gate potential VFD (240) which falls whenever one [ a photo-diode / a photo-diode (211) begins to accumulate light zero / time / and / the transmission TR (212) ] reaches reference level is detected it can ask for the luminosity of incident light.

[0092]If the timing [ one / timing / the transmission TR (212) ] is counted as time of a predetermined sampling period  $\Delta T$  unit at this time The time (namely product of periodic  $\Delta T$  and counted value  $n$ ) of the moment VFD (240) reaches reference level can be obtained as a digital variable (namely AD translation result) of the luminosity of a photographic subject.

[0093]The value of the gate potential VFD (240) is not compared reference level

and directlyThe current generated when the gate potential VFD (240) is reference levelBy comparing the current generated with the gate potential VFD (240) which changes every moment whenever one [ the transmission TR (212) ]when light is irradiated shows easily that detection of a luminosity is possible similarly.

[0094]Nowthe general formula of the following obtained from above-mentioned - (formula 1) (formula 3) is considered here.

[0095]

[Equation 2]

$VD = TS - \Delta VR / TD$  (formula 4)

[0096]When (the formula 4) is plotted on a graphit turns out that it becomes like drawing 5 and the luminosity VD called for from detected time TD is in inverse proportion. Between luminosity VD\* and detected time TDa linear relation is materialized by transforming (the formula 4) as follows. If (the formula 5) is plotted on a graphit will become like drawing 6.

[0097]

[Equation 3]

$VD^* = TS - \Delta VR - TD$  (formula 5)

[0098]Herethe following expressions of relations materialized between the luminosity VD and VD\* can be found by eliminating detected time TD using (the formula 4) (formula 5).

[0099]

[Equation 4]

$VD^* = TS - \Delta VR (1 - 1/VD)$  (formula 6)

[0100]If an expression of relations (formula 6) with VD and VD\* is plotted on a graphit will become like drawing 7. Since luminosity VD\* is emphasizing the dark field to the luminosity VD which expressed the output of photo-diode PD (211) as it was as shown in the figurethe good picture of contrast which clarified will be given.

[0101]In order to acquire the picture (that iscontrast is big) which emphasized

such a dark field generally the picture which log transformed to the luminosity VD is used in many cases. That is in addition to the non-line type conversion (the formula 4) it is necessary to perform a non-line type conversion called logarithmic transformation further and it is clear that there are not few burdens of a processor.

[0102] On the other hand in this example if the luminosity is expressed only by linear transform like (the formula 5) from the beginning the picture with big contrast which clarified can be acquired easily.

[0103] Thus it becomes possible to change analog quantity called a luminosity into the digital variable quantized by time information TD sampled in the unit of time amount. However a luminosity signal is yielded to the after-mentioned about the detailed procedure of the processing which carries out an AD translation.

[0104] It depends for the number of bits of a digital variable on the fineness of sampling  $\Delta T$  of time information.

[0105] In the unit pixel shown in drawing 3 the operation timing chart for acquiring the signal for changing into a digital variable the luminosity which is analog quantity is shown in drawing 8. In the unit pixel shown in drawing 3 the operation flow chart for acquiring the signal for changing into a digital variable the luminosity which is analog quantity is shown in drawing 9. Hereafter the operation for carrying out the AD translation of the output of a photo-diode (211) in the unit pixel of drawing 3 is explained in detail referring to drawing 8 and drawing 9.

[0106] First the variable  $n$  used as a time counter is set as 1 (Step S1). And reset voltage VRST (311) is set as the signal level (reference voltage) used as the standard of a luminosity (Step S2).

[0107] By impressing transfer pulse  $\phi_{PTX}$  (302) to the gate of the transmission TR (212) subsequently the (step S3) The residual electron accumulated in the photo-diode (211) in the period before it is transmitted to the gate side of the amplifier TR (214) (step S4) and transfer pulse  $\phi_{PTX}$  (302) is again returned to a low level (Step S5). However the signal which appears in the gate of the amplifier TR (214) at this time is not used.

[0108] By impressing reset pulse  $\phi_{RST}$  (301) to the gate of the reset TR



(213)subsequentlythe (step S6)The gate potential VFD (240) of the amplifier TR (214) is set as the reference level corresponding to reference voltage (Step S7)and reset pulse  $\phi_{RST}$  (301) is again returned to a low level (Step S8).

[0109]Subsequentlyin order to make memory TR-1 (219) memorize the current corresponding to the reference level set up as mentioned aboveLight-receiving signal read pulse  $\phi_{RD}$  (303)memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304)and memory TR-1 short-circuit-pulse  $\phi_{MEM-2}$  (305) are impressed simultaneously (step S9).

[0110]Since the gate potential VFD (240) of the amplifier TR (214) has reference level set up previously at this timethe current according to that level flows into the amplifier TR (214). Since the light-receiving signal read-out switch (216) is turned onthe current (hereafter referred to as "I-1") amplified by the current mirror circuit (215) will flow through memory TR-1 (219) via memory TR-1 transfer switch (217). Howeversince the memory TR-1 short circuiting switch (218) is turned onmemory TR-1 (219) is operating in the saturation region.

[0111]And when memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) is returned to a low level (Step S10)memory TR-1 short circuiting switch (218) becomes offand memory TR-1 (219) will memorize the current I-1 which was flowing until now (Step S11).

[0112]At this timea light-receiving signal read-out switch (216) and memory TR-1 transfer switch (217)Since it is necessary to keep the state of one long a little rather than memory TR-1 short circuiting switch (218) becomes offthe timing which returns light-receiving signal read pulse  $\phi_{RD}$  (303) and memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) to a low level has been shifted (Step S12).

[0113]As explained abovethe current I-1 equivalent to the reference level of a luminosity is memorizable to memory TR-1 (219) by Steps S1-S12.

[0114]In the processing after Step S13the timing (point that the straight line showing a luminosity intersects reference level in drawing 4) which the size relation of the luminosity of a photographic subject and reference level reverses is detected as compared with the above-mentioned reference levelreading the

luminosity of a photographic subject one by one for every constant period.

[0115]Firstreset voltage VRST (311) is set as power supply voltage (Step S13).

[0116]By impressing reset pulse  $\phi RST$  (301) to the gate of the reset TR (213)subsequentlythe (step S14)The gate potential VFD (240) of the amplifier TR (214) is set as the reset level corresponding to reset voltage VRST (Step S15)and reset pulse  $\phi RST$  (301) is again returned to a low level (Step S16).

[0117]Heretransfer pulse  $\phi PTX$  (302) is impressed to the gate of the transmission TR (212) (Step S17). Since it is after transmitting the residual electron accumulated in the photo-diode (211) by this (Steps S3-S5)The electron (electron by which it was generated in the light-receiving period (1) of the timing chart of drawing 8) by which it was newly generated by photoelectric conversion is transmitted to the gate side of the amplifier TR (214) (Step S18). And transfer pulse  $\phi PTX$  (302) is again returned to a low level (Step S19).

[0118]Memory TR-2 (222) can be made to memorize the current decided with the number of the electrons transmitted to the gate side of the amplifier TR (214) by Steps S20-S23.

[0119]Firstlight-receiving signal read pulse  $\phi RD$  (303)memory TR-2 transfer-pulse  $\phi MTX-2$  (306)And the current amplified by (Step S20) and the current mirror circuit (215) flows into memory TR-2 (222) by impressing simultaneously memory TR-2 short-circuit-pulse  $\phi MEM-2$  (307). That isthe signal current (hereafter referred to as "I-2") according to the electron number generated in the light-receiving period (1) flows into memory TR-2 (222). Howeversince the memory TR-2 short circuiting switch (221) is turned onmemory TR-2 (222) is operating in the saturation region.

[0120]And when memory TR-2 short-circuit-pulse  $\phi MEM-2$  (307) is returned to a low level (Step S21)memory TR-2 short circuiting switch (221) becomes offand memory TR-2 (222) will memorize the current I-2 which was flowing until now (Step S22).

[0121]At this timea light-receiving signal read-out switch (216) and memory TR-2 transfer switch (220)Since it is necessary to keep the state of one long a little

rather than memory TR-2 short circuiting switch (221) becomes off after all. The timing which returns light-receiving signal read pulse  $\phi_{RD}$  (303) and memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) to a low level is shifted (Step S23).

[0122] By Steps S20-S23, memory TR-2 (222) memorizes while the current according to the luminosity of the photographic subject finds the integral in time.

[0123] Furthermore, henceforth [ following Step S24 ]  $I-2$  is compared with the current  $I-1$  memorized by memory TR-1 (219) and memory TR-2 (222) respectively.

[0124] First, each transistor is made one by impressing memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and load TR pulse  $\phi_{VL}$  (312) to each gate of memory TR-2 transfer switch (220) and the load TR (231). As a result, the current  $I-2$  memorized by memory TR-2 (222) flows into the load TR (231) and the load voltage (hereafter referred to as " $V_2$ ") according to that current value occurs in the drain side (Step S24).

[0125] At this time, simultaneously, inverter A short circuit pulse  $\phi_{CMPA}$  (308) and inverter B short circuit pulse  $\phi_{CMPB}$  (309) are impressed to each gate of an inverter A short circuiting switch (223) and an inverter B short circuiting switch (226) and each transistor is made one. As a result, each input and output of the inverter A (224) and the inverter B (227) can be short-circuited (Step S25). By this, the output voltage of the inverter A (224) and the inverter B (227) serves as operating-point-voltage  $V_{inv-A}$  of each inverter and  $V_{inv-B}$ .

[0126] Subsequently, inverter A short circuit pulse  $\phi_{CMPA}$  (308) is first made into a low level and an inverter A short circuiting switch (223) is turned OFF (Step S26). As a result, although the output voltage of the inverter A (224) is changed a little from the short circuit time, it shows the value almost near operating point voltage (it is hereafter considered as " $V_{inv-A2}$ ") and an output becomes final and conclusive. The output when the voltage ( $V_2$ ) generated when the current  $I-2$  flows into the load TR (231) is added to the capacitor A (225) will be supported by the output determined value (Step S27).

[0127] At this time, the value near the voltage ( $V_2$ ) generated when the current  $I-2$

flows into the load TR (231) and the operating point voltage of the inverter A (224) is impressed to the both ends of the capacitor A (225) (it is hereafter considered as " $V_{inv-A1}$ ").

[0128] On the other hand, since the inverter B (227) is still a short condition at this time, a small change of the output voltage of the inverter A in Step S26 (224) has not appeared in the output of the inverter B (227).

[0129] Subsequently, an inverter B short circuiting switch (226) is turned OFF by making inverter B short circuit pulse  $\phi_{CMPB}$  (309) into a low level (Step S28). As a result, although changed a little [of the inverter B (227) / output voltage mist beam] the value almost near operating point voltage is maintained (it is hereafter considered as " $V_{inv-B2}$ ") and an output is become final and conclusive. The voltage ( $V_2$ ) which this output determined value generates when the current  $I_2$  flows into the load TR (231) The capacitor A (225). The output when added to the inverter B (227) via the inverter A (224) and the capacitor B (228) will be supported (Step S29).

[0130] And at this time, the value (hereafter referred to as " $V_{inv-B1}$ ") near output voltage  $V_{inv-A2}$  of the inverter A (224) and the operating point voltage of the inverter B (228) is impressed to the both ends of the capacitor B (228).

[0131] By returning memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and load TR pulse  $\phi_{VL}$  (312) to a low level and turning OFF memory TR-2 transfer switch (220) and load TR (231) in this state, Read-out of the current  $I_2$  memorized by memory TR-2 (222) is completed (Step S30).

[0132] Subsequently, while making load TR pulse  $\phi_{VL}$  (312) high-level again, the load TR (231) and memory TR-1 transfer switch (217) are made one by making high-level simultaneously memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) (Step S31). As a result, the current  $I_1$  memorized by memory TR-1 (219) flows into the load TR (231) and the voltage (hereafter referred to as " $V_1$ ") corresponding to that current value occurs in the drain side.

[0133] And if this voltage  $V_1$  is lower than the voltage  $V_2$  generated for the load TR (231) when the current  $I_2$  flows previously, the inverter A (224) side potential

of the capacitor A (225) Only  $V_2-V_1$  will descend from previous  $V_{inv-A1}$  (however suppose that it is in such a small situation that the input capacitance of the inverter A (224) can be disregarded).

[0134] Therefore the output of the inverter A (224) will rise from  $V_{inv-A2}$  as a result the inverter B (227) side potential of the capacitor B (228) will rise and the output voltage of the inverter B (227) will descend.

[0135] On the contrary if the voltage  $V_1$  is higher than the voltage  $V_2$  as for the inverter A (224) side potential of the capacitor A (225) only  $V_1-V_2$  will go up from  $V_{inv-A1}$ . The output of (however suppose that it is in such a small situation that the input capacitance of the inverter A (224) can be disregarded) and the inverter A (224) descends from  $V_{inv-A2}$ . As a result the inverter B (227) side potential of the capacitor B (228) will also descend and the output voltage of the inverter B (227) will rise.

[0136] That is since  $V_1$  will become high from  $V_2$  also in the voltage generated for the load TR (231) if the current  $I-1$  memorized by memory TR-1 (219) is larger than the current  $I-2$  memorized by memory TR-2 (222) the output of the inverter B (228) becomes high. On the contrary if the current  $I-1$  is smaller than  $I-2$  the output of the inverter B (228) will become low. If it summarizes size comparison of two current memorized will be attained by such an operating characteristic (Step S32).

[0137] By changing pixel read pulse  $\phi_{POUT}$  (310) high-level and carrying out a pixel read-out switch (229) to one in this state in a vertical signal wire (230) the output level of the inverter B (228) will appear according to the current  $I-1$  and the comparison result of  $I-2$  (Step S33). And pixel read pulse  $\phi_{POUT}$  (310) is returned to a low level (Step S34) Then a series of pixel reading operation is made to complete by returning memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and load TR pulse  $\phi_{VL}$  (312) with a low level (Step S35).

[0138] At this time the level of a vertical signal wire (230) i.e. the output level of the pixel read this time distinguishes whether it is which level of a low or a high (Step S36). The level judging of a vertical signal wire (230) is performed by the

computing unit (not shown) mounted on the same chip as an image sensor or another chip.

[0139] If a vertical signal wire (230) is high-level, the current I-1 is understood that it is larger than I-2 or the signal level by incident light is lower than reference level. That is, since it can judge that incident light became bright and crossed reference level, value  $\Delta T \times n$  which carried out multiplication to sampling period  $\Delta T$  with the time counter value  $n$  is outputted as time information (Step S37) and this whole manipulation routine shown in drawing 9 is ended.

[0140] On the other hand, if the level of a vertical signal wire (230) i.e. the output level of the pixel read this time is a low level, only 1 \*\*\*\*\*s time counter  $n$  (Step S38) and the step or below which returns to Step S17 and transmits the electric charge of a photo-diode (211) is repeatedly performed until a vertical signal wire (230) changes high-level.

[0141] The circuit module for calculating time counter  $n$  can be mounted on the same chip as an image sensor or another chip.

[0142] Time information  $\Delta T \times n$  outputted by the manipulation routine shown in drawing 9 is the time of the moment VFD (240) reaches reference level.

It is equivalent to the result of having changed the luminosity of the incident light in a photo-diode (211) into the digital variable (above-mentioned).

In other words, in an image sensor, the photodiode output in each pixel of an image sensor is convertible for a digital value from an analog value by the manipulation routine shown in drawing 9.

[0143] Thus, in order to realize an AD translation in an image sensor, please understand enough the point that what is necessary is just to output to the timing to driving clock shown [ 2 ] drawing 8 each driving clock pulse.

[0144] He is trying to discharge the electron which already accumulated in the photo-diode (211) in reference level storage duration by taking out transfer pulse  $\phi_{PTX}$  (302) before reset pulse  $\phi_{RST}$  (301) as shown in the timing chart of drawing 8 of operation. As a result, it becomes possible to make regularity light-receiving time each time it can make it equal to the light-receiving period after it

(2) and (3) -- a period (1) i.e. a light-receiving period until transfer pulse  $\phi_{PTX}$  (302) is impressed next and minces it each time.

[0145] According to the image sensor concerning this example in the A/D conversion processing changed into a digital variable from analog quantity, the so-called large image pick-up of the dynamic range is realizable by adjusting a time [ to integrate with a reference signal level and the luminosity of a photographic subject ] unit.

[0146] According to the image sensor concerning this example when changing the detecting signal of each pixel into a digital variable from analog quantity, an image pick-up strong against what is called random noise can be realized by integrating with the luminosity of a photographic subject in time.

[0147] In the image sensor of composition of being shown in drawing 1 the operation timing chart for acquiring the signal which changed into the digital variable the luminosity which is analog quantity is shown in drawing 10.

[0148] More specifically drawing 10 shows the timing of the driving clock given to the pixel of the 1st line and the pixel of the 2nd line in two periods, the reference level storage duration in the unit pixel operation timing chart of drawing 8 and a comparison period (1).

[0149] In the period when reset voltage  $V_{RST}$  (311) is set as reference voltage, To all the M pixels located in a line with the 1st line, first reset pulse  $\phi_{RST}$

(301), transfer pulse  $\phi_{PTX}$  (302), light-receiving signal read pulse  $\phi_{RD}$  (303), memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) are impressed all at once to the timing currently illustrated.

[0150] Subsequently, all the M pixels located in a line with the 2nd line are shortly received after a certain fixed time lapse. Reset pulse  $\phi_{RST}$  (301), transfer pulse  $\phi_{PTX}$  (302), light-receiving signal read pulse  $\phi_{RD}$  (303), memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) are impressed all at once.

[0151] And the driving clock with which the phase shifted from the 3rd line or subsequent ones similarly to the pixel of up to N line is impressed one by one

(not shown). Thus in all the unit pixels the current corresponding to reference level is memorizable to memory TR-1 (219).

[0152] If the end of storage operation is carried out to N line reset voltage VRST (311) will be set as power supply voltage next to all the M pixels located in a line with the 1st line reset pulse  $\phi_{RST}$  (301) Transfer pulse  $\phi_{PTX}$  (302) light-receiving signal read pulse  $\phi_{RD}$  (303) The current decided by the electron number by which photoelectric conversion was carried out in the light-receiving period (1) is memorizable to memory TR-2 (222) by impressing all at once to the timing which is having memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and memory TR-2 short-circuit-pulse  $\phi_{MEM-2}$  (307) illustrated.

[0153] Immediately after that memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) load TR pulse  $\phi_{VL}$  (312) inverter A short circuit pulse  $\phi_{CMPA}$  (308) and inverter B short circuit pulse  $\phi_{CMPB}$  (309) are impressed The current memorized by memory TR-2 (222) is read and it changes into voltage by the load TR (231).

[0154] Then while impressing memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and load TR pulse  $\phi_{VL}$  (312) reading the current memorized by memory TR-1 (219) and changing into voltage in the load TR (231) comparison with the voltage read previously is performed. And the output voltage of the inverter B (227) produced as a result of comparison is read to a vertical signal wire (230) by impressing pixel read pulse  $\phi_{POUT}$  (310) to the gate of a pixel read-out switch (229).

[0155] To all the M pixels located in a line with the 2nd line and reset pulse  $\phi_{RST}$  (301) Transfer pulse  $\phi_{PTX}$  (302) light-receiving signal read pulse  $\phi_{RD}$  (303) The current decided by the electron number by which photoelectric conversion was carried out in the light-receiving period (1) is memorized to memory TR-2 (222) by impressing memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and memory TR-2 short-circuit-pulse  $\phi_{MEM-2}$  (307) all at once like the 1st line.

[0156] Immediately after that memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) load TR pulse  $\phi_{VL}$  (312) inverter A short circuit pulse  $\phi_{CMPA}$  (308) and inverter B short circuit pulse  $\phi_{CMPB}$  (309) are impressed The current memorized by memory TR-2 (222) is read and it changes into voltage by the load TR (231).



[0157]Thenwhile impressing memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and load TR pulse  $\phi_{VL}$  (312)reading the current memorized by memory TR-1 (219) and changing into voltage by the load TR (231)comparison with the voltage read previously is performed. And the output voltage of the inverter B (227) produced as a result of comparison is read to a vertical signal wire (230) by impressing pixel read pulse  $\phi_{POUT}$  (310) to the gate of a pixel read-out switch (229).

[0158]And by impressing the driving clock with which the phase shifted from the 3rd line or subsequent ones similarly to the pixel of up to N line one by oneIn all the unit pixelsthe signal current proportional to the light-receiving intensity memorized by the current and memory TR-2 corresponding to the reference level memorized by memory TR-1 (219) (222) can be compared.

[0159]Each of the unit pixel in the image sensor concerning this example can apply data processing other than an A/D conversion to a photodiode output by switching the timing between each clock pulse which the driving clock generator 2 outputs*i.e.*driving mode. For examplein each unit pixela time change of a luminosity can be calculated and the time it becomes steep changing can be detected.

[0160]In the unit pixel shown in drawing 3a time change of a luminosity is calculated in drawing 11and the operation timing chart of each clock pulse for detecting the time it becomes steep changing is shown in it. A time change of a luminosity is calculated to drawing 12and the operation flow chart in each unit pixel for detecting the time it becomes steep changing is shown in it. Hereafterit explainsreferring to drawing 11 and drawing 12.

[0161]Firstthe variable n used as a time counter is set as 1 (Step S51). And reset voltage VRST (311) is set as power supply voltage (Step S52).

[0162]Subsequentlyby impressing reset pulse  $\phi_{RST}$  (301) to the gate of the reset TR (213)The gate potential VFD (240) of the amplifier TR (214) is set as the reset level corresponding to power supply voltage (Step S53)and reset pulse  $\phi_{RST}$  (301) is again returned to a low level.

[0163]And the electron accumulated in the photo-diode (211) is transmitted to the

gate side of the amplifier TR (214) (Step S54). This processing is equivalent to the operation which sweeps out and initializes all the electrons collected on the photo-diode (211) before starting an operation but (initialization period of drawing 11). after [ which impresses transfer pulse  $\phi_{PTX}$  (302) to the gate of the transmission TR (212) ] carrying out it is carried out by returning transfer pulse  $\phi_{PTX}$  (302) to a low level again.

[0164] Subsequently by impressing reset pulse  $\phi_{RST}$  (301) to the gate of the reset TR (213) again the gate potential VFD (240) of the amplifier TR (214) is set as the reset level corresponding to power supply voltage (Step S55) and reset pulse  $\phi_{RST}$  (301) is again returned to a low level.

[0165] And the electron which photoelectric conversion is carried out to the light-receiving period (1) of drawing 11 and is accumulated in it by the photo-diode (211) is transmitted to the gate side of the amplifier TR (214) (Step S56). This processing is performed by returning transfer pulse  $\phi_{PTX}$  (302) to a low level again after impressing transfer pulse  $\phi_{PTX}$  (302) to the gate of the transmission TR (212).

[0166] At this time the gate potential VFD (240) of the amplifier TR (214) is decided with the number of the electrons transmitted above. In order to make memory TR-1 (219) memorize the current generated as a result each transistor should just operate as follows.

[0167] First if light-receiving signal read pulse  $\phi_{RD}$  (303) memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) are impressed simultaneously the generating current mentioned above will flow into the amplifier TR (214). Since the light-receiving signal read-out switch (216) is turned on the current (hereafter referred to as "I-1") amplified by the current mirror circuit (215) will flow into memory TR-1 (219) via memory TR-1 transfer switch (217). However since the memory TR-1 short circuiting switch (218) is turned on memory TR-1 (219) at this time is operating in the saturation region.

[0168] And when memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) is returned to a low level memory TR-1 short circuiting switch (218) becomes off and memory

TR-1 (219) will memorize the current I-1 which was flowing until now (Step S57).  
[0169]At this time a light-receiving signal read-out switch (216) and memory TR-1 transfer switch (217) Since it is necessary to keep the state of one long a little rather than memory TR-1 short circuiting switch (218) becomes off the timing from which light-receiving signal read pulse  $\phi_{RD}$  (303) and memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) are set to a low level has been shifted.

[0170]As explained above the current I-1 which is equivalent to the number of the electrons by which photoelectric conversion was carried out in the light-receiving period (1) by processing of Steps S55-S57 is memorizable to memory TR-1 (219).

[0171]Subsequently by impressing reset pulse  $\phi_{RST}$  (301) to the gate of the reset TR (213) The gate potential VFD (240) of the amplifier TR (214) is set as the reset level corresponding to power supply voltage (Step S58) and reset pulse  $\phi_{RST}$  (301) is again returned to a low level.

[0172]And the electron by which it was generated in the light-receiving period (2) in the timing chart of drawing 11 is transmitted to the gate side of the amplifier TR (214) (Step S59). This processing is performed by returning transfer pulse  $\phi_{PTX}$  (302) to a low level again after impressing transfer pulse  $\phi_{PTX}$  (302) to the gate of the transmission TR (212).

[0173]At this time the gate potential VFD (240) of the amplifier TR (214) is decided with the number of the electrons transmitted above. In order to make memory TR-2 (222) memorize the current generated as a result each transistor should just operate as follows.

[0174]The generating current mentioned above flows into the amplifier TR (214) by impressing simultaneously light-receiving signal read pulse  $\phi_{RD}$  (303) memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and memory TR-2 short-circuit-pulse  $\phi_{MEM-2}$  (307). Since the light-receiving signal read-out switch (216) is turned on the current (hereafter referred to as "I-2") amplified by the current mirror circuit (215) will flow into memory TR-2 (222) via memory TR-2 transfer switch (220). However since the memory TR-2 short circuiting switch (221) is turned on memory TR-2 (222) at this time is operating in the saturation region.

[0175]Here when memory TR-2 short-circuit-pulse  $\phi_{MEM-2}$  (307) is returned to a low level memory TR-2 short circuiting switch (222) becomes off and memory TR-2 (222) will memorize the current  $I-2$  which was flowing until now (Step 60).

[0176]At this time a light-receiving signal read-out switch (216) and memory TR-2 transfer switch (220) Since it is necessary to keep the state of one long a little rather than memory TR-2 short circuiting switch (221) becomes off after all the timing from which light-receiving signal read pulse  $\phi_{RD}$  (303) and memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) are set to a low level has been shifted.

[0177]As explained above the current  $I-2$  which is equivalent to the number of the electrons by which photoelectric conversion was carried out in the light-receiving period (2) by processing of Steps S58-S60 is memorizable to memory TR-2 (222).

[0178]In continuing Steps S61-S65 processing which compares  $I-2$  with the current  $I-1$  memorized by each of memory TR-1 (219) and memory TR-2 (222) is performed. Size comparison of the electron number which photoelectric conversion was carried out in each period of this (1) i.e. a light-receiving period and a light-receiving period (2) and was generated will be performed.

[0179]First both memory TR-1 transfer switch (217) and load TR (231) are made one by impressing both memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and load TR pulse  $\phi_{VL}$  (312). As a result the current  $I-1$  memorized by memory TR-1 (219) flows into the load TR (231) and the load voltage (hereafter referred to as " $V_1$ ") according to that current value occurs in the drain side.

[0180]At this time MBATA A short circuit pulse  $\phi_{CMPA}$  (308) and inverter B short circuit pulse  $\phi_{CMPB}$  (309) are simultaneously impressed to each gate of an inverter A short circuiting switch (223) and an inverter B short circuiting switch (226). As a result are one [ both an inverter A short circuiting switch (223) and an inverter B short circuiting switch (226) ] and they will short-circuit each input and output of the inverter A (224) and the inverter B (227) (Step S61). By this each output voltage of the inverter A (224) and the inverter B (227) serves as operating-point-voltage  $V_{inv-A}$  of each inverter and  $V_{inv-B}$ .

[0181]If an inverter A short circuiting switch (223) is turned OFF here by making

inverter A short circuit pulse  $\phi_{CMA}$  (308) into a low level first. Although the output voltage of the inverter A (224) is changed a little from the short circuit time, the value almost near operating point voltage is shown (it is hereafter considered as " $V_{inv-A2}$ ") and the output of the inverter A (224) is become final and conclusive (Step S62). The pressure value supports the output when the voltage  $V_1$  generated when the current  $I-1$  flows into the load TR (231) is impressed to the capacitor A (225).

[0182] At this time, the value near the voltage ( $V_1$ ) generated when the current  $I-1$  flows into the load TR (231) and the operating point voltage of the inverter A (224) is impressed to the both ends of the capacitor A (225) (it is hereafter considered as " $V_{inv-A1}$ ").

[0183] On the other hand, since the inverter B (227) is still a short condition, a small change of the output voltage of the inverter A in Step S62 (224) has not appeared in the output by the side of the inverter B (227).

[0184] Subsequently, by making inverter B short circuit pulse  $\phi_{CMPB}$  (309) into a low level, if an inverter B short circuiting switch (226) is turned OFF, although it will change a little [of the inverter B (227) / output voltage mist beam], the value almost near operating point voltage is maintained (it is hereafter considered as " $V_{inv-B2}$ "). The output when the voltage ( $V_1$ ) which this value generates when the current  $I-1$  flows into the load TR (231) is added to the inverter B (227) via the capacitor A (225), the inverter A (224) and the capacitor B (228) is supported (Step S63). At this time, the voltage (it is hereafter considered as " $V_{inv-B1}$ ") near output voltage  $V_{inv-A2}$  of the inverter A (224) and the operating point voltage of the inverter B (228) is impressed to the both ends of the capacitor B (228) respectively.

[0185] In this state, both memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and load TR pulse  $\phi_{VL}$  (312) are made into a low level. By turning off both memory TR-1 transfer switch (217) and the load TR (231), the reading operation of the current  $I-1$  memorized to memory TR-1 (219) is completed.

[0186] Subsequently, while changing load TR pulse  $\phi_{VL}$  (312) high-level

again both the load TR (231) and memory TR-2 transfer switch (220) are made one by changing memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) high-level simultaneously. As a result the current I-2 memorized by memory TR-2 (222) flows into the load TR (231) and the voltage (hereafter referred to as "V2") corresponding to that current value occurs in the drain side.

[0187] If the voltage V2 generated for the load TR (231) here when the current I-2 flowed in is lower than the voltage V2 generated for the load TR (231) when the current I-1 flows in, the potential by the side of the inverter A (224) of the capacitor A (225) descends only by  $V1-V2$  from previous  $V_{inv-A1}$  (however, suppose that it is in such a small situation that the input capacitance of the inverter A (224) can be disregarded). Therefore, the output of the inverter A (224) will rise from  $V_{inv-A2}$  as a result, the inverter B (227) side potential of the capacitor B (228) will rise and the output voltage of the inverter B (227) will descend.

[0188] On the contrary, if the voltage V2 is higher than the voltage V1 as for the inverter A (224) side potential of the capacitor A (225), only  $V2-V1$  will go up from  $V_{inv-A1}$ . The output of the inverter A (224) descends from  $V_{inv-A2}$  (however, suppose that it is in such a small situation that the input capacitance of the inverter A (224) can be disregarded). As a result, the inverter B (227) side potential of the capacitor B (228) will also descend and the output voltage of the inverter B (227) will rise.

[0189] That is, if the current I-2 memorized by memory TR-2 (222) is larger than the current I-1 memorized by memory TR-1 (219), also in the voltage generated for the load TR (231), V2 will become high from V1 and the output of the inverter B (228) will become high. Contrary to this, if the current I-2 is smaller than the current I-1, the output of the inverter B (228) will become low. Therefore, size comparison of two current is attained (Step S64).

[0190] By changing pixel read pulse  $\phi_{POUT}$  (310) high-level and carrying out a pixel read-out switch (229) to one in this state, in a vertical signal wire (230), the output level of the inverter B (228) will appear according to the current I-1 and the

comparison result of I-2 (Step S65). And pixel reading operation is completed by returning pixel read pulse  $\phi_{POUT}$  (310) to a low level and returning memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) and load TR pulse  $\phi_{VL}$  (312) with a low level continuously.

[0191] At this time the level of a vertical signal wire (230) i.e. the output level of the pixel read distinguishes whether it is which level of a low or a high (Step S66). The level judging of a vertical signal wire (230) is performed by the computing unit (not shown) mounted on the same chip as an image sensor or another chip.

[0192] If the level of a vertical signal wire (230) i.e. the output level of the pixel read now is high-level, the current I-2 is larger than I-1. Or it can be judged that the electron number by which photoelectric conversion was carried out in the light-receiving period (2) had change of the brightness that incident light once becomes bright and becomes dark again few in a light-receiving period (1) rather than the electron number by which photoelectric conversion was carried out. In this case, value  $\Delta T_{xn}$  which carried out multiplication to sampling period  $\Delta T$  with the time counter value n is outputted as time information (Step S77) and this whole manipulation routine shown in drawing 12 is ended.

[0193] On the other hand, if the level of a vertical signal wire (230) i.e. the output level of the pixel read now is a low level, only 1 will \*\*\*\*\* time counter n (Step S67) and it will progress to a following step.

[0194] In processing of Steps S58-S67 mentioned above, Steps S68-S78 are equivalent to what replaced each role of memory TR-1 (219) and memory TR-2 (222).

[0195] That is, in Steps S68-S78, the direction of the current memorized by memory TR-2 (222) serves as a signal memorized later in time than the current memorized by memory TR-1 (219). Therefore, as the current corresponding to the signal by which photoelectric conversion was newly carried out next memorized in memory TR-2 (222), the signal memorized before in time must be rewritten.

[0196] Then, by impressing reset pulse  $\phi_{RST}$  (301) to the gate of the reset TR

(213) firstThe gate potential VFD (240) of the amplifier TR (214) is set as the reset level corresponding to power supply voltage (Step S68)and reset pulse  $\phi_{RST}$  (301) is again returned to a low level.

[0197]Subsequentlythe electron by which it was generated in the light-receiving period (3) of the timing chart of drawing 11 is transmitted to the gate side of the amplifier TR (214) (Step S69). This processing is performed by returning transfer pulse  $\phi_{PTX}$  (302) to a low level againafter impressing transfer pulse  $\phi_{PTX}$  (302) to the gate of the transmission TR (212).

[0198]At this timethe gate potential VFD (240) of the amplifier TR (214) is decided with the number of the electrons transmitted above. In order to make memory TR-1 (219) memorize the current generated as a resulteach transistor should just operate as follows.

[0199]The generating current mentioned above flows into the amplifier TR (214) by impressing simultaneously light-receiving signal read pulse  $\phi_{RD}$  (303)memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304)and memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305). Since the light-receiving signal read-out switch (216) is turned onthe current (hereafter referred to as "I-1") amplified by the current mirror circuit (215) will flow into memory TR-1 (219) via memory TR-1 transfer switch (217). Howeversince the memory TR-1 short circuiting switch (218) is turned onmemory TR-1 (219) at this time is operating in the saturation region.

[0200]Herewhen memory TR-1 short-circuit-pulse  $\phi_{MEM-1}$  (305) is returned to a low levelmemory TR-1 short circuiting switch (218) becomes offand memory TR-1 (219) will memorize the current I-1 which was flowing until now (Step S70).

[0201]At this timea light-receiving signal read-out switch (216) and memory TR-1 transfer switch (217)Since it is necessary to keep the state of one long a little rather than memory TR-1 short circuiting switch (218) becomes offthe timing from which light-receiving signal read pulse  $\phi_{RD}$  (303) and memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) are set to a low level has been shifted.

[0202]SubsequentlySteps S71-S75 compare I-1 with the current I-2 memorized by each of memory TR-2 (222) and memory TR-1 (219). It is equivalent to



performing size comparison of the electron number which photoelectric conversion was carried out in each period of this (2) i.e. a light-receiving period and a light-receiving period (3) and was generated.

[0203] First both memory TR-2 transfer switch (222) and load TR (231) are made one by impressing both memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and load TR pulse  $\phi_{VL}$  (312). As a result the current I-2 memorized by memory TR-2 (222) flows into the load TR (231) and the load voltage (hereafter referred to as "V2") according to that current value occurs in the drain side.

[0204] At this time MBATA A short circuit pulse  $\phi_{CMPA}$  (308) and inverter B short circuit pulse  $\phi_{CMPB}$  (309) are simultaneously impressed to each gate of an inverter A short circuiting switch (223) and an inverter B short circuiting switch (226). As a result are one [ both an inverter A short circuiting switch (223) and an inverter B short circuiting switch (226) ] and they will short-circuit input and output of the inverter A (224) and the inverter B (227) (Step S71). By this each output voltage of the inverter A (224) and the inverter B (227) serves as operating-point-voltage  $V_{inv-A}$  of each inverter and  $V_{inv-B}$ .

[0205] And if an inverter A short circuiting switch (223) is turned OFF by making inverter A short circuit pulse  $\phi_{CMPA}$  (308) into a low level first Although the output voltage of the inverter A (224) is changed a little from the short circuit time the value almost near operating point voltage is shown (it is hereafter considered as " $V_{inv-A2}$ ") and the output of the inverter A (224) is become final and conclusive (Step S72). The pressure value supports the output when the voltage V2 generated when the current I-2 flows into the load TR (231) is impressed to the capacitor A (225).

[0206] At this time the value near the voltage (V2) generated when the current I-2 flows into the load TR (231) and the operating point voltage of the inverter A (224) is impressed to the both ends of the capacitor A (225) (it is hereafter considered as " $V_{inv-A1}$ ").

[0207] On the other hand since the inverter B (227) is still a short condition a small change of the output voltage of the inverter A in Step S72 (224) has not

appeared in the output by the side of the inverter B (227).

[0208]Subsequentlyby making inverter B short circuit pulse  $\phi_{CMPB}$  (309) into a low levelIf an inverter B short circuiting switch (226) is turned OFFalthough it will change a little [ of the inverter B (227) / output voltage mist beam ]the value almost near operating point voltage is maintained (it is hereafter considered as " $V_{inv-B2}$ "). The output when the voltage ( $V_2$ ) which this value generates when the current  $I_2$  flows into the load TR (231) is added to the inverter B (227) via the capacitor A (225)the inverter A (224)and the capacitor B (228) is supported (Step S73). At this timethe voltage (it is hereafter considered as " $V_{inv-B1}$ ") near output voltage  $V_{inv-A2}$  of the inverter A (224) and the operating point voltage of the inverter B (228) is impressed to the both ends of the capacitor B (228)respectively.

[0209]By making memory TR-2 transfer-pulse  $\phi_{MTX-2}$  (306) and load TR pulse  $\phi_{VL}$  (312) into a low leveland turning off both memory TR-2 transfer switch (220) and the load TR (231) in this stateRead-out of the current  $I_2$  memorized by memory TR-2 (222) is completed.

[0210]Subsequentlywhile changing load TR pulse  $\phi_{VL}$  (312) high-level againboth the load TR (231) and memory TR-1 transfer switch (217) are made one by changing memory TR-1 transfer-pulse  $\phi_{MTX-1}$  (304) high-level simultaneously. As a resultthe current  $I_1$  memorized by memory TR-1 (219) flows into the load TR (231)and the voltage (hereafter referred to as " $V_1$ ") corresponding to that current value occurs in the drain side.

[0211]And if this voltage  $V_1$  is lower than the voltage  $V_2$  generated for the load TR (231) when the current  $I_2$  flows previouslythe potential by the side of the inverter A (224) of the capacitor A (225)Only  $V_2-V_1$  will descend from previous  $V_{inv-A1}$  (howeversuppose that it is in such a small situation that the input capacitance of the inverter A (224) can be disregarded). Thereforethe output of the inverter A (224) will rise from  $V_{inv-A2}$ as a resultthe inverter B (227) side potential of the capacitor B (228) will riseand the output voltage of the inverter B (227) will descend.

[0212]On the contrary if the voltage  $V_1$  is higher than the voltage  $V_2$  as for the inverter A (224) side potential of the capacitor A (225) only  $V_1$ - $V_2$  will go up from  $V_{inv-A1}$ . The output of the inverter A (224) descends from  $V_{inv-A2}$  (however suppose that it is in such a small situation that the input capacitance of the inverter A (224) can be disregarded). As a result the inverter B (227) side potential of the capacitor B (228) will also descend and the output voltage of the inverter B (227) will rise.

[0213]That is if the current  $I-1$  memorized by memory TR-1 (219) is larger than the current  $I-2$  memorized by memory TR-2 (222) also in the voltage generated for the load TR (231)  $V_1$  will become high from  $V_2$  and the output of the inverter B (228) will become high. Contrary to this if the current  $I-1$  is smaller than the current  $I-2$  the output of the inverter B (228) will become low. Therefore size comparison of two current is attained (Step S74).

[0214]By changing pixel read pulse  $\phi_{iPOUT}$  (310) high-level and carrying out a pixel read-out switch (229) to one in this state in a vertical signal wire (230) the output level of the inverter B (228) will appear according to the current  $I-1$  and the comparison result of  $I-2$  (Step S75). And pixel reading operation is completed by returning pixel read pulse  $\phi_{iPOUT}$  (310) to a low level and returning memory TR-2 transfer-pulse  $\phi_{iMTX-2}$  (306) and load TR pulse  $\phi_{iVL}$  (312) with a low level continuously.

[0215]At this time the level of a vertical signal wire (230) i.e. the output level of the pixel read this time distinguishes whether it is which level of a low or a high (Step S76). The level judging of a vertical signal wire (230) is performed by the computing unit (not shown) mounted on the same chip as an image sensor or another chip.

[0216]If the level of a vertical signal wire (230) i.e. the output level of the pixel read this time is high-level the current  $I-1$  than  $I-2$  [larger] Or it can be judged that the electron number by which photoelectric conversion was carried out in the light-receiving period (3) had change of the brightness that incident light once becomes bright and becomes dark again few in a light-receiving period (2) rather

than the electron number by which photoelectric conversion was carried out. In this case value  $\Delta T_{xn}$  which carried out multiplication to sampling period  $\Delta T$  with the time counter value  $n$  in this case is outputted as time information (Step S77) and this whole manipulation routine is ended.

[0217] On the other hand if the level of a vertical signal wire (230) i.e. the output level of the pixel read now is a low level only 1 will \*\*\*\*\* time counter  $n$  (Step S77) it will return to Step S58 and repeat execution of the same processing as \*\*\*\* will be carried out.

[0218] Subsequently sequential execution of the operation of the temporal response of a luminosity can be carried out like size comparison of the electron number generated in each period of the light-receiving period (3) and the light-receiving period (4) and size comparison of the electron number further generated in each period of the light-receiving period (4) and the light-receiving period (5).

[0219] Thus it can be judged on the same standard whether a next signal is always larger in time than a front signal or small by changing the turn of read-out at the time of replacing and comparing the memory TR which memorizes the current signal equivalent to a photodiode output for every light-receiving period.

[0220] As a result which performs processing operation shown in drawing 11 and drawing 12 each unit pixel of the image sensor concerning this example catches a time change of a luminosity and it becomes possible to perform time peak detection of brightness at high speed.

[0221] By using the image sensor which consists of a unit pixel with an operating characteristic as shown in drawing 11 and drawing 12 it can ask for the temporal response of the luminosity of a photographic subject by for example asking for the object image picturized by the 1st frame and the object image picturized by the 2nd frame.

[0222] By using the image sensor which can ask for the temporal response of the luminosity of a photographic subject the active type distance measurement system which measures the distance to a photographic subject can be constituted according to the so-called principle of 3 angle location survey. About

this kind of active type distance measurement system it is indicated by the application-for-patent No. 107723 [ 2000 to ] specification already transferred to these people for example. The active type distance measurement principle is indicated for example to "three dimensional image measurement" (Inokuchi the Sato collaboration Shokodo).

[0223] Of course each of the unit pixel concerning this example can also perform data processing other than the above (detection of the time it becomes steep an AD translation and changing) to a photodiode output by switching the timing of each clock pulse which the driving clock generator 2 outputs.

[0224] The example of composition of the whole imaging system which applied the image sensor 1001 concerning a 2nd embodiment of this invention is typically shown in the 2nd embodiment drawing 13.

[0225] The signal generator 1002 generates a signal required to drive the image sensor 1001. And each generated signal is inputted into the image sensor 1001 and is transmitted to each pixel 11 which constitutes the image sensor 1001 from the vertical scanner 1020 in the image sensor 1001 as a pixel control signal.

[0226] The frame memory 1004 has an address space equivalent to the pixel number of the image sensor 1001.

The data width has size required to express the image pick-up result of the image sensor 1001.

The frame memory 1004 is connected with the signal processing part 1003 and the bi-directional bus.

The processing result for every pixel generated in the signal processing part 1003 is inputted and memorized or the contents are conversely handed over to the signal processing part 1003 if needed.

[0227] After the signal processing part 1003 inputted the output signal of the image sensor 1001 and processes for every pixel with digital data it outputs the result to the above-mentioned frame memory 1004.

[0228] The digital-to-analog part 1005 inputs the digital signal for every [ from the

signal processing part 1003 ] pixel changes it into an analog signal and outputs it.

[0229]The indicator 1006 inputs the analog signal outputted from the digital-to-analog part 1005 and carries out a display output on a screen (not shown).

[0230]The circuitry of the image sensor 1001 concerning a 2nd embodiment of this invention is typically shown in drawing 14. As shown in the figure for every sequence the vertical signal wire 1013 is constructed and the image sensor 1001 is constituted while the pixel 1 of a  $M \times N$  individual is arranged by two-dimensional matrix form and the pixel control signal 1012 is constructed for every line. And the vertical signal wire 1013 of  $N$  book from each pixel row is connected to the horizontal output circuit 1030.

Serial conversion of the output signal is carried out and in order to be outputted to the exterior of the image sensor 1001 or to make an output rate high-speed it is parallel and is outputted to the exterior of the image sensor 1001.

[0231]The signal generator 1002 is a circuit which generates each clock pulse signal of the graphic display for driving a unit pixel to predetermined timing respectively.

[0232]The vertical drive circuit 1020 is supplied by pixel control signal 1012 course to each of the pixel row which consists the clock pulse generated in the signal generator 1002 of  $M$  unit pixels horizontally located in a line shifting operation timing.

[0233]The pixel control signal 1012 shown in drawing 14 the light sensing portion control pulse 1200 for driving each pixel the amplifier control pulse 1210 the 1st storage parts store control pulse 1220 the 2nd storage parts store control pulse 1230 the comparing element control pulse 1240 and the bias part control pulse 1250 -- and. The outputting part control pulse 1260 (after-mentioned) is made into a bundle. By operating these driving clock pulse to predetermined timing AD translation processing of a pixel output signal and other data processing are applicable to an image sensor. However about the operation timing of a driving clock pulse or the procedure of data processing it explains in detail behind.

[0234]In drawing 15the structure of the unit pixel which constitutes the image sensor 1 is illustrated typically. As shown in the figureone pixel reaches 1st storage parts store 1102 with the light sensing portion 1100 and the amplifier 1101and comprises 1103the comparing element 1104the bias part 1105and the outputting part 1106 100 million copies of set [ 2nd ].

[0235]The light sensing portion 1100 outputs the signal by which photoelectric conversion was carried out according to the luminous intensity which entered to the amplifier 1101.

[0236]The light sensing portion control pulse 1200 is an input pulse which controls the reset action of the internal state of the light sensing portion 1100and the internal transfer operation of a signal by which photoelectric conversion was carried out.

Reset pulse  $\phi RST$  (1201) and transfer pulse  $\phi TX$  (1202) are contained.

[0237]The amplifier 1101 outputs the signal which inputted and amplified the output signal from the light sensing portion 1100 to the 1st storage parts store 1102 and the 2nd storage parts store 1103.

[0238]The amplifier control pulse 1210 is an input pulse which controls whether the signal amplified by the amplifier 1101 is outputted.

Amplifier read pulse  $\phi AG$  (1211) is contained.

[0239]The 1st storage parts store 1102 and the 2nd storage parts store 1103 memorize the signal outputted from the amplifier 1101and output it to the comparing element 1104.

[0240]The 1st storage parts store control pulse 1220 and the 2nd storage parts store control pulse 1230 perform control of the signal recording operation to the 1st storage parts store 1102 and the 2nd storage parts store 1103and signal reading operationrespectively. 1st memory pulse  $\phi MSWF$  (1221) and 1st memory gate pulse  $\phi MGF$  (1222) are contained in the 1st storage parts store control pulse 1220. 2nd memory pulse  $\phi MSWS$  (1231) and 2nd memory gate

pulse phiMGS (1232) are contained in the 2nd storage parts store control pulse 1220.

[0241]The comparing element 1104 inputs the signal read from the 1st storage parts store 1102 and the 2nd storage parts store 1103 and outputs the signal of 0 (low level) or 1 (high-level) as a result of having compared both.

[0242]The comparing element control pulse 1240 is an input pulse which performs motion control of the comparing element 1104.

Load pulse phiQL (1241) 1st inverter short circuit pulse phiINVF (1242) and 2nd inverter short circuit pulse phiINVS (1243) are contained.

[0243]The bias part 1105 adds a bias signal to two signals inputted by adding a bias signal to the comparing element 1104.

[0244]The bias part control pulse 1250 is an input pulse for controlling the bias signal outputted from the bias part 1105.

1st bias gate pulse phiGBF (1252) and 2nd bias gate pulse phiGBS (1253) are contained.

[0245]The outputting part 1106 is outputted to the exterior of a unit pixel by making the comparison result signal of the comparing element 1104 into the pixel signal 1107.

[0246]The outputting part control pulse 1260 is an input pulse for performing motion control of the outputting part 1106.

Output gate pulse phiGOUT (1261) is contained.

[0247]Next explanation of the principle which changes into a digital signal the light-receiving intensity which is the amount of analog signals in the unit pixel mentioned above is explained referring to drawing 16.

[0248]First after a pixel receives light a signal is memorized to either among the storage parts stores 1102-1103 and after reading its series of periods which output by performing comparison processing are defined as "one frame" on these



specifications.

[0249]The horizontal axis of the graph shown in drawing 16 shows the frame number how many times the frame to which a comparison result is outputted is repeated from 0 to 1 i.e. is a pixel output reversed when comparison processing is performed how many times? after receiving light in the light sensing portion 1100. And the maximum frame number shall be defined as  $F_{MAX}$  only the number of times of  $F_{MAX}$  shall repeat comparison processing and one image pick-up shall be completed.

[0250]The vertical axis of the graph shown in drawing 16 expresses the signal quantity  $S$  of the light intensity in the light sensing portion 1100. The temporal response of the signal quantity at the time of receiving a very bright light is set to  $VB$  (1051) and the case of a taper is made into  $VB'$  (1052) more slightly than it. The case where  $M$  (1054) and a dark light are received [ the case of a bright light ] for the case of the luminosity of  $B$  (1053) and a medium is set to  $D$  (1055) and the temporal response of signal quantity when light is received respectively is expressed in a straight line by setting to  $VD$  (1056) the case where it is very dark. In the example shown in the figure it is assumed that the difference in a luminosity is expressed by the size of the temporal response of a slope of a line i.e. signal quantity. Therefore a brighter light has more sudden inclination and inclination supposes that it is loose like a dark light.

[0251]Now a reference signal which is constant in time at  $R_H$  is considered here. And by the time the straight line corresponding to the temporal change of each luminosity crosses the reference signal level  $R_H$  it will find a required frame number or time. The luminosity of the light which received light can be expressed by using the character in which it is so bright that reference level is crossed at a small frame number and it is so dark that it crosses at many frame numbers. Since a frame number is discrete namely it is a digital variable the luminosity obtained as a result will also be expressed as a digital variable.

[0252]In the above-mentioned condition the frame number corresponding to an intersection with  $VB$  (1051) is  $F_{VB1}$  as a graphic display. The intersection with  $VB'$

(1052) is  $F_{VB'1}$  and the intersection with B (1053) is  $F_{B1}$  and the intersection with M (1054) serves as  $F_{M1}$ . On the other hand as for D (1055) and VD (1056) an intersection does not exist.

[0253] In this case the luminosity of the light which received light can be expressed like a lower type using the constant  $K$  a reference signal level and the frame number of an intersection. namely [0254]

[Equation 5]

$$I_{VB} = K/F_{VB'1} \text{ (formula 7)}$$

$$I_{VB'} = K/F_{VB'1} \text{ (formula 8)}$$

$$I_B = K/F_{B1} \text{ (formula 9)}$$

$I_M = K/F_{M1}$  (formula 10) [0255] Now when a reference signal level is made into  $R_H$  since the light D 1055 dark as mentioned above and very dark optical VD 1056 do not have an intersection between the maximum time set up here or the maximum frame they cannot express a luminosity. Then when a reference signal level is lifted from  $R_H$  to  $R_M$  the straight line D (1055) comes to have an intersection by frame  $F_{D2}$  so that drawing 16 may show. And when [ lift reference level further and ]  $R_L$  it turns out that the straight line VD crosses at frame  $F_{VD3}$  further. That is it is possible by raising reference level that processing equivalent to enlarging the gain of a luminosity is performed.

[0256] For example the luminosity of each light when reference level is made into  $R_L$  can be expressed like a lower type. namely [0257]

[Equation 6]

$$I_{VB} = K/F_{VB1} \text{ (formula 11)}$$

$$I_{VB'} = K/F_{VB1} \text{ (formula 12)}$$

$$I_B = K/F_{B3} \text{ (formula 13)}$$

$$I_M = K/F_{M3} \text{ (formula 14)}$$

$$I_D = K/F_{D3} \text{ (formula 15)}$$

$$I_{VD} = K/F_{VD3} \text{ (formula 16)}$$

[0258] That which is learned if not careful here is the point that the above-mentioned (formula 11) is the same as (the formula 7) and it is the same that

luminosities should originally differ (formula 12). Frame  $F_{VB1}$  is the minimum unit of a time-axis and this is a phenomenon produced when equivalent to the first frame. When in other words a pixel output is 1 with the first frame even if a actual luminosity is different as long as it expresses like an upper type it will become impossible to identify the difference in a luminosity. In order to avoid such a phenomenon to a bright light it turns out that reference level is set [ that it is moderate ] up low.

[0259] In order to detect a dark light and to express as a luminosity by old argument there is the necessity of raising reference level (it is equivalent to this raising a gain). On the other hand in order to express a bright light there is the necessity of lowering reference level (it is equivalent to this lowering a gain). So in order to express a luminosity in the wide range of the dynamic range from a dark light to a bright light. Reference level is low set up in the early period i.e. the range with a small frame number in time and if it is a person skilled in the art he will be able to understand the thing for which a bright light is detected that what is necessary can be just to lift reference level gradually with the passage of time.

[0260] An example of the setting method of such reference level is shown in drawing 17. In the example shown in the figure the first reference level begins from  $R_H$  rises gradually (namely the passage of time stair-like) and has become  $R_L$  eventually. The method of a rise of reference level may be changed little by little for every frame and may be changed every several frames.

[0261] If the luminosity conversion dynamic range extension principle shown in drawing 17 is followed the luminosity of each light which received light will be expressed as follows from the intersection of the straight line and reference level showing each luminosity. namely [0262]

[Equation 7]

$$I_{VB} = K/F_{VB} \text{ (formula 17)}$$

$$I_{VB'} = K/F_{VB'} \text{ (formula 18)}$$

$$I_B = K/F_B \text{ (formula 19)}$$

$$I_M = K/F_M \text{ (formula 20)}$$

$I_D = K/F_D$  (formula 21)

$I_{VD} = K/F_{VD}$  (formula 22)

[0263]According to the mode of expression of the luminosity according to drawing 17 expression also of very bright VB (1051) and very dark VD (1056) is attained by the same simultaneous namelysystem.

[0264]Subsequentlythe example of the mounting circuit which adopted the method which makes realizable the large image pick-up of the dynamic range which was mentioned above is explained.

[0265]One example of mounting about each block of the unit pixel of the image sensor shown in drawing 15 is shown in drawing 18.

[0266]The internal configuration of the light sensing portion 1100 and the amplifier 1101 is shown in drawing 19 in detail among this unit pixel.

[0267]a light sensing portion -- 1100 -- a photo-diode -- (-- PD --) -- 1301 -- a transfer transistor -- (-- TX --) -- 1302 -- floating diffusion -- (-- FD --) -- 1033 -- a reset transistor (RST) -- 1304 -- from -- constituting -- having -- \*\*\*\* . And while the reset pulse ( $\phi_{RST}$ ) 1201 is given to the reset transistor 1304the transfer pulse ( $\phi_{TX}$ ) 1202 is given to the transfer transistor (TX) 1302. Each input pulse 1201-1202 is equivalent to the light sensing portion control pulse 1200 (above-mentioned).

[0268]Nowto reset transistor RST1304. Since the reset voltage ( $V_R$ ) 1203 is impressedby inputting reset pulse  $\phi_{RST}$ 1201If reset transistor RST1304 changes to an ON statefloating diffusion FD1303 will be reset by the potential decided by the value of reset voltage  $V_R$ 1203. And if one [ transfer pulse  $\phi_{TX}$ 1202 / transfer transistor TX1302 ]The electron by which photoelectric conversion was carried out by photo-diode PD1301 will be transmitted to floating diffusion FD1303and the potential according to the electron number will occur in floating diffusion FD1303.

[0269]It is thought that the potential of floating diffusion FD1303 is proportional to a luminosity mostly unless it supports light income and photo-diode PD1301 is saturated. And since there are so many electron numbers generated in

photoelectric conversion that there is so much light income that it is bright the potential of floating diffusion FD1303 falls and since the electron number generated so that it is dark decreases conversely the potential of floating diffusion FD1303 becomes high. [0270] The amplifier 1101 comprises the amplification transistor (QA) 1311 the 1st gate (AGF) 1312 of amplifier read-out the 2nd gate (AGS) 1313 of amplifier read-out and the current mirror circuits 1314 and 1315. And the amplifier read pulse ( $\phi_{AG}$ ) 1211 as the amplifier control pulse 1210 is given to 1st gate AGF of amplifier read-out 1312 and the 2nd gate (AGS) 1313 of amplifier read-out respectively.

[0271] Now the potential in the floating diffusion 1303 by the side of the light sensing portion 1100 is impressed to the gate of amplification transistor QA1311. If amplifier read pulse  $\phi_{AG}$  1211 is given in this state the current decided by potential between source gates of amplification transistor QA1311 will flow through 1st gate AGF of amplifier read-out 1312 and the mirror transistors 1314. The amplified current which is determined in the size of the mirror transistors 1315 and 1314 flows through 2nd gate AGS of amplifier 1313 and the mirror transistors 1315.

[0272] And much current flows so that the potential of floating diffusion FD1303 is high. That is the current which flows through 2nd gate AGS of amplifier 1313 and the mirror transistors 1315 becomes large so that the light which received light is dark and the current becomes small so that it is bright.

[0273] 100 million copies of set [ 2nd ] of internal configurations of 1103 are indicated in detail to be the 1st storage parts store 1102 to drawing 20 among the unit pixels shown in drawing 15.

[0274] The 1st storage parts store 1102 comprises the 1st storage transistors (QMF) 1321 the 1st storage-transistors switch (MSWF) 1322 and the 1st memory gate (MGF) 1323. and -- 1st storage-transistors switch MSWF 1322 -- the 1st memory pulse ( $\phi_{MSWF}$ ) 1221 -- the 1st memory gate pulse ( $\phi_{MGF}$ ) 1222 is given to 1st memory gate MGF 1323 as the 1st storage parts store control pulse 1220 (above-mentioned) respectively.

[0275] Similarly the 2nd storage parts store 1103 comprises the 2nd storage transistors (QMS) 1331 the 2nd storage-transistors switch (MSWS) 1332 and the 2nd memory gate (MGS) 1333. and -- 2nd memory TORANJISU switch MSWS1332 -- the 2nd memory pulse ( $\phi$ MSWS) 1231 -- the 2nd memory gate pulse ( $\phi$ MGS) 1232 is given to 2nd memory gate MGS1333 as the 2nd storage parts store control pulse 1230 respectively.

[0276] And it is connected to the amplifier 1101 and both 1st memory gate MGF1323 and 2nd memory gate MGS1333 can input now the signal current amplified by the current mirror mentioned above.

[0277] Now the 1st storage parts store 1102 and the 2nd storage parts store 1103 serve as what is called a current copia circuit or dynamic current mirror circuitry. Signal current is memorizable in the following operations.

[0278] In first the period when 1st memory gate MGF1323 is an ON state by 1st memory pulse  $\phi$ MGF1222. The gate and drain of 1st storage-transistors QMF1321 short-circuit by changing 1st storage-transistors switch MSWF1322 to one by 1st memory pulse  $\phi$ MSWF1221 Signal current will flow into so-called 1st storage-transistors QMF1321 of saturation region operation through 1st memory gate MGF1323. And since signal current is continuing flowing even if it changes only 1st storage-transistors switch MSWF1322 to OFF the gate potential of 1st storage-transistors QMF1321 will hold a value required to send the signal current. Next although signal current will not flow by changing 1st memory gate MGF1323 to OFF signal current will be memorized as long as the gate potential of 1st storage-transistors QMF1321 is held.

[0279] That is when 1st memory gate MGF1323 is again changed to one by 1st memory gate pulse  $\phi$ MGF1222 the signal current memorized with the gate potential of 1st storage-transistors QMF1321 currently held will flow out again. The 2nd storage parts store 1103 can also memorize signal current to 2nd storage-transistors QMS1331 by the same operation as \*\*\*\*.

[0280] The internal configuration of the bias part 1105 is shown in drawing 21 in

detail among unit pixels.

[0281]The bias part 1105 comprises the 1st bias transistor (QBF) 1351the 2nd bias transistor (QBS) 1352the 1st bias gate (GBF) 1353and the 2nd bias gate (GBS) 1354. And to 1st bias transistor QBF1351 and 2nd bias transistor QBS1352as the bias part control pulse 1250 the bias voltage (VB) 1251The 1st bias gate pulse ( $\phi$ GBF) 1252 is given to 1st bias gate GBF1353and the 2nd bias gate pulse ( $\phi$ GBS) 1253 is given to 2nd bias gate GBS1354respectively (above-mentioned).

[0282]And it is connected to the output of the 1st storage parts store 1102 and the 2nd storage parts store 1103and the output of 1st bias gate GBF1353 and 2nd bias gate GBS1354 can add bias current now to the signal current outputted from each storage parts store 1102-1103.

[0283]Since the bias voltage VB1251 [ same ] is impressed to each gate of 1st bias transistor QBF1351 and 2nd bias transistor QBS1352the current according to the transistor size can be sent. Thereforethe size of the bias current which flows out when 1st bias gate pulse  $\phi$ GBF1252 is impressed to 1st bias gate GBF1353It becomes possible to give the difference in the size of the bias current which 2nd bias gate pulse  $\phi$ GBS1253 is impressed to 2nd bias gate GBS1354and flows out.

[0284]The internal configuration of the comparing element 1104 and the outputting part 1106 is shown in drawing 22 at detailsrespectively.

[0285]The comparing element 1104 The load transistor (QL) 1341 and the 1st capacitor (CF) 1342It comprises the 1st inverter (INVF) 1343the 1st inverter short circuiting switch (SWINVF) 1344the 2nd capacitor (CS) 1345the 2nd inverter (INVS) 1346and the 2nd inverter short circuiting switch (SWINVS) 1347. And to load transistor QL1341 the load pulse ( $\phi$ QL) 1241To 1st inverter short circuiting switch SWINVF1344the 1st inverter short circuit pulse ( $\phi$ lINVF) 1242The 2nd inverter short circuit pulse ( $\phi$ lINVS) 1243 is given to 2nd inverter short circuiting switch SWINVS1347 as the comparing element control pulse 1240 (above-mentioned)respectively.

[0286]And load transistor QL1341 is connected to each output of the 1st storage parts store 1102the 2nd storage parts store 1103and the bias part 1105.  
The signal current outputted from these is inputted.

[0287]Nowthe comparing element 1104 of the graphic display has taken the so-called composition of the chopper type comparatorand the output according to the size of the signal inputted in the period which resets the offset by the operating point inside a comparatorand the signal inputted after reset is completed is obtained.

[0288]Firstthe potential VZ according to the size of the signal current (it is considered as "IZ") of a comparison object occurs in 1st inverter INV1343 of 1st capacitor CF1342and the electrode of an opposite hand by changing load transistor QL1341 to one by impression of load pulse  $\phi_{QL1241}$ .

[0289]If 1st inverter INV1343 is short-circuited by changing 1st inverter short circuiting switch SWINV1344 to one by impression of 1st inverter short circuit pulse  $\phi_{INV1242}$  at this timeAny potential of the input side of 1st inverter INV1343 and an output side serves as the same value (operating point potential VTHF of 1st inverter INV1343)and the electric charge equivalent to the voltage of VZ-VTHF will be accumulated in 1st capacitor CF1342.

[0290]If 2nd inverter INVS1346 of the latter part is simultaneously short-circuited by 2nd inverter short circuiting switch SWINVS1347 and operating point potential of 2nd inverter INVS1346 will be set to VTHSSimilarlythe electric charge equivalent to the voltage as for which VTHF-VTHS becomes will be accumulated in 2nd capacitor CS1345.

[0291]And the short circuit of 1st inverter INV1343 is canceled.  
Then the short circuit of 2nd inverter INVS1346 is canceled.

[0292]At least the negative charge according to IY makes load transistor QL1341 generate VY by sending another [ to compare ] signal current (it is considered as "IY") following on thisand impressing load pulse  $\phi_{QL1241}$  again. By thisthe



potential by the side of the load transistor QL1341 of 1st capacitor CF1342 will change from previous VZ to VY.

[0293]Hereif it assumes that it is so small that the input-side capacity of 1st inverter INV1343 can ignore compared with 1st capacitor CF1342 and VY is larger than VZ1st inverter INV1343 side potential of 1st capacitor CF1342 will rise from VTHF. On the contraryif VY is smaller than VZit turns out that the input-side potential of 1st inverter INV1343 descends. Thereforeif the output of 1st inverter INV1343 serves as a low level and  $VY < VZ$  becomes at the time of  $VY > VZ$ the output of 1st inverter INV1343 will become high-level.

[0294]Since such operation is interlocked with and the both-ends potential of 2nd capacitor CS1345 also rises or descendsAfter allaccording to the size of the signal to comparethe output of the comparing element 1104i.e.the output of 2nd inverter INV1346becomes high-level at the time of  $IY > IZ$  ( $VY > VZ$ )and it is  $IY < IZ$  (set to a low level at the time of  $VY < VZ$ ).

[0295]The outputting part 1106 comprises the output amplifier (BAMP) 1361 and the output gate (GOUT) 1362. And the output gate pulse ( $\phi$ GOUT) 1261 is given as the outputting part control pulse 1260.

[0296]And when output gate pulse  $\phi$ GOUT1261 is impressedthe pixel output (POUT) 1107 of the signal level which changed the output of the comparing element 1104 into the suitable level is outputted to the vertical signal wire 1013.

[0297]Nextit explainsreferring to the luminosity conversion timing chart shown in drawing 23 for the mechanism of changing into a digital signal the light income which is an analog signal.

[0298]Firstin reference signal storage durationoperation which memorizes reference signal current to the 1st storage parts store 1102 is performed.

[0299]In the light sensing portion 1100where the reset voltage 1203 is set as  $V_{REF}$ reset pulse  $\phi$ RST1201 is impressed and the potential of floating diffusion FD1303 is set as the value equivalent to  $V_{REF}$ .

[0300]Thenin the amplifier 1101impress amplifier read pulse  $\phi$ AGand it is made to flow through 1st gate AGFof amplifier read-out1312and 2nd gate AGSof

amplifier read-out1313Amplification transistor QA1311 is made to generate the current decided by potential of floating diffusion FD1303and the current (it is considered as  $I_{REF}$ ) further amplified by the current mirror 1314-1315 is acquired.

[0301]At this timeby the 1st storage parts store 1102 by impressing simultaneously 1st memory pulse  $\phi_{MSWF1221}$  and 1st memory gate pulse  $\phi_{MGF1222}$ The above-mentioned current  $I_{REF}$  will flow into 1st storage-transistors QMF1321 via 1st memory gate MGF1323.

[0302]Thenby dropping 1st memory pulse  $\phi_{MSWF1221}$  on a low level firstand canceling the short circuit of 1st storage-transistors QMF1321then canceling 1st memory gate pulse  $\phi_{MGF1222}$ Previous current  $I_{REF}$  is memorizable to 1st storage-transistors QMF1321.

[0303]Processing of reference signal storage duration is completion above.

[0304]Nextprocessing by the 1st frame is performed.

[0305]In the light sensing portion 1100where the reset voltage 1203 is set as power-supply-voltage  $V_{DD}$  higher than  $V_{REF}$ Reset pulse  $\phi_{RST1201}$  is impressed and the potential of floating diffusion FD1303 is set as the value equivalent to  $V_{DD}$ .

[0306]At this timein photo-diode PD1301. Since the electron by which photoelectric conversion was received and carried out to previous reference signal storage duration is accumulatedFloating diffusion FD1303 can be made into the potential according to the electron number by impressing transfer pulse  $\phi_{TX1202}$  and transmitting an electron to floating diffusion FD1303 from photo-diode PD1301.

[0307]Thenin the amplifier 1101impress amplifier read pulse  $\phi_{AG1211}$ and it is made to flow through 1st gate AGFof amplifier13121and 2nd gate AGSof amplifier1313Amplification transistor QA1311 is made to generate the current decided by potential of floating diffusion FD1303and the current (it is considered as " $I_{F1}$ ") amplified by the current mirror 1314-1315 is acquired.

[0308]At this timeby impressing simultaneously 2nd memory pulse  $\phi_{MSWS1231}$  and 2nd memory gate pulse  $\phi_{MGS1232}$  by the 2nd storage parts store 1103The above-mentioned current  $I_{F1}$  will flow into 2nd storage-

transistors QMS1331 via 2nd memory gate MGS1333.

[0309]Then drop 2nd memory pulse  $\phi_{MSWS1231}$  on a low level first and then the short circuit of 2nd storage-transistors QMS1331 is canceled. Then previous current  $I_{F1}$  is memorizable to 2nd storage-transistors QMS1331 by canceling 2nd memory gate pulse  $\phi_{MGS1232}$ .

[0310]Then the comparison operations of signal current  $I_{F1}$  in the 1st frame memorized by reference signal  $I_{REF}$  memorized by the 1st storage parts store 1102 and the 2nd storage parts store 1103 are performed.

[0311]First  $I_{F1}$  memorized to 2nd storage-transistors QMS1331 in the 2nd storage parts store 1103 is passed to load transistor QL1341 in the comparing element 1104 by impressing 2nd memory gate pulse  $\phi_{MGS1232}$  and load pulse  $\phi_{QL1241}$ .

[0312]Impress 2nd bias gate pulse  $\phi_{GBS1253}$  simultaneously and it flows through 2nd bias gate GBS1354. Since the bias current (it is considered as " $I_{BS}$ ") generated in 2nd bias transistor QBS1352 by impressing  $V_{BIAS1251}$  is also sent through load transistor QL1341. In load transistor QL1341 voltage  $Y_{F1}$  decided by the signal current  $I_{F1}$  and  $I_{BS}$  occurs.

[0313]At this time by impressing 1st inverter short circuit pulse  $\phi_{INV1}$  and 2nd inverter short circuit pulse  $\phi_{INV2}$  input and output of 1st inverter INV1343 and 2nd inverter INV2346 are short-circuited simultaneously and operating point offset of the comparing element 1104 is reset.

[0314]this time -- the both ends of 1st capacitor CF1342 --  $Y_{F1} - V_{THF}$  -- voltage will be built.

[0315]Next by impressing simultaneously 1st memory gate pulse  $\phi_{MGF1222}$  and load pulse  $\phi_{QL1241}$  reference signal current  $I_{REF}$  memorized by 1st storage-transistors QMF1321 in the 1st storage parts store 1102 is passed to load transistor QL1341 in the comparing element 1104.

[0316]At this time impress 1st bias gate pulse  $\phi_{GBF1252}$  simultaneously and it flows through 1st bias gate GBF1353. The bias current (it is considered as " $I_{BF}$ ") generated in 1st bias transistor QBF1351 by  $V_{BIAS1251}$  is also sent through load

transistor QL1341.

[0317]In load transistor QL1341when reference signal current  $I_{REF}$  and the bias current IBF flow simultaneouslyvoltage  $Y_{REF}$  occurs.

[0318]By the principle of operation of the comparator shown previouslythe level according to the size relation of  $Y_{F1}$  and  $Y_{REF}$  serves as an output of the comparing element 1104and lets the output amplifier 1361 pass by the outputting part 1106By impressing output gate pulse  $\phi_{GOUT}$ 1261it is outputted to the vertical signal wire 1013 as pixel output POUT1107.[0319]Namelyif  $I_{F1} > I_{REF}$  ( $Y_{F1} > Y_{REF}$ ) becomesIf pixel output POUT1107 is set to a low level and  $I_{F1} < I_{REF}$  ( $Y_{F1} < Y_{REF}$ ) becomespixel output POUT1107 will become high-level.

[0320]After the 2nd framethe reset action of floating diffusion FD1303 by reset pulse  $\phi_{RST}$ 1201 is not carried out. Thereforethe potential the electron by which it was generated by photoelectric conversion is added to the electron number accumulated with the frame till thenand it is decided with the frame that will be it will arise in floating diffusion FD1303.

[0321]For examplein the 2nd frameit adds to the electron accumulated in floating diffusion FD1303 by the 1st frameThe electron by which it was generated by photoelectric conversion is transmitted to floating diffusion FD1303 by impression of transfer pulse  $\phi_{TX}$ 1202and the potential of floating diffusion FD1303 is determined as throughout [ 1st frame term ] according to the electron number added together.

[0322]And current  $I_{F2}$  obtained from the current mirror circuit in the amplifier 1101 with the potential determined in this way (the 2nd frame) $I_{F3}$  (the 3rd frame) $I_{F4}$  (the 4th frame)and ... will be memorized to 2nd storage-transistors QMS1331 in the 2nd storage parts store 1103.

[0323]The comparison operations with reference current  $I_{REF}$  are the same as the 1st-frame operation.

[0324]The operation explained above shows the case where light income is changed into the digital variable expressed with the number of frameswhen reference level is made immobilization.

[0325] In the above reference level is set up with the value of reset voltage  $VR_{1203}$  in reference signal storage duration. Although the bias current furthermore added to signal current is determined by whether it supplies either among 1st bias transistor  $Q_{BF1351}$  in the bias part 1105 or 2nd bias transistor  $Q_{BS1352}$ . Digital conversion is possible even if it does not add bias current at all of course.

[0326] Namely will fix to a low level 1st bias gate pulse  $\phi_{GBF1252}$  and 2nd double tomorrow and - gate pulse  $\phi_{GBS1253}$  as  $I_{BF}=I_{BS}=0$ . Only the difference of the current equivalent to the difference of  $V_{REF}$  and  $V_{DD}$  will determine a reference signal level.

[0327] It is also possible to carry out digital conversion only by control of bias current fixing reset voltage  $VR_{1203}$  to  $V_{DD}$  conversely on the other hand (that is fixed with all the frames). In that case what is necessary is just to set each up so that the difference of  $I_{BF}$  and  $I_{BS}$  may turn into a difference of the current equivalent to  $V_{REF}$  and  $V_{DD}$ .

[0328] Now anyway referring to drawing 16 in the above-mentioned operation as already explained all lights of light to a very bright very dark light cannot be expressed. Then how to extend a dynamic range in this embodiment is explained below referring to drawing 24 and drawing 25.

[0329] According to this embodiment in the circuitry of a unit pixel as shown in drawing 18 as bias current changes with time extension of the dynamic range is aimed at by giving the same effect as a reference signal carrying out a temporal response as shown in drawing 17.

[0330] Therefore to be shown in drawing 24 make bias voltage  $VB_{1251}$  into  $VB=V_{BI}$  with the first frame the value is made to increase gradually every [ every frame or ] several frames and it controls to become  $V_B=V_{BM}$  by final frame  $F_{MAX}$ . On the other hand reset voltage  $VR_{1203}$  is set constant to a final frame with  $V_{DD}$ .

[0331] Although drawing 25 is the almost same timing chart as what was illustrated to drawing 23 reset voltage  $VR_{1203}$  is  $V_{DD}$  also reference signal storage duration. And a reference signal is memorized in this state to the 1st

storage parts store 1102.

[0332]A different place from drawing 23 after the 1st frameWhen comparing with the signal according to the light-receiving intensity which reads the signal of the 1st storage parts store 1102and is memorized by the 2nd storage parts store 1103Although 1st bias gate pulse  $\phi_{GBF1252}$  becomes high-level and the bias signal from 1st bias transistor QBF1351 is also added2nd bias gate pulse  $\phi_{GBS1253}$  considers it as as [ low level ]and it is made not to add the bias current generated in 2nd bias transistor QBS1352. By performing such drive controllingthe bias current which bias voltage VB1251 is changed and is generated in 1st bias transistor QBF1351 is made variableand it becomes possible to change a reference signal level every [ every frame or ] several frames.

[0333]Thereforethe image pick-up result in which the dynamic range spread will be obtained by drawing 17 and a principle as shown in above-mentioned - (formula 17) (formula 22).

[0334]Finallythe disposal method of each pixel output is explainedreferring to drawing 13 and drawing 14.

[0335]The signal level of pixel output POUT1107 is transmitted to the horizontal output circuit 1030 through the vertical signal wire 1013 for every frame. In the horizontal output circuit 1030two kinds of output forms which change serially pixel output POUT1107 transmitted in parallel from each pixel rowand are outputted to the exterior of an image sensoror are outputted to parallel to the exterior of an image sensor as it is for every pixel row can be considered.

[0336]The pixel signal outputted from the image sensor 1001 is inputted into the signal processing part 1003and the signal checks high level or a low level for every pixel. And if high-levelthe frame number at that time will be written in the address prepared for every pixel in the frame memory 1004. Howeverwriting considers it only as the time of becoming high-level firstand 2nd henceforth is written in. And just the frame number written in at this time serves as a value for expressing a luminosity.

[0337]The following procedures are followed in order to display this luminosity on the indicator 1006.

[0338]Firstthe frame number memorized by the frame memory 1004 is read for every pixeland the value is changed in the signal processing part 1003 using above-mentioned - (formula 17) (formula 22). If this processing uses the calculation function of a digital signalthe person skilled in the art will be able to understand things only in real appearance simply. And the changed digital signal is transmitted to the digital-to-analog conversion part 1005 one by one for every pixeland is changed into an analog signal suitable for the indicator 1006.

[0339]This means changing into standard video signalssuch as an NTSC (National Television System Committee) signal and a VGA (Video Graphic Array) signalfor example.

[0340]And the output from the digital-to-analog conversion part 1005 is displayed by the indicator 1006.

[0341][Supplement] It has explained in detail about this inventionreferring to a specific example above. Howeverit is obvious that a person skilled in the art can accomplish correction and substitution of this example in the range which does not deviate from the gist of this invention. That iswith the gestalt of illustrationthis invention has been indicated and it should not be interpreted restrictively. In order to judge the gist of this inventionthe column of the claim indicated at the beginning should be taken into consideration.

[0342]

[Effect of the Invention]As a full account was given aboveaccording to this inventionan outstanding imaging device constituted small and lightweight and a drive controlling method for the same can be provided.

[0343]According to this inventionan outstanding imaging device and a drive controlling method for the same which are realized using the semiconductor manufacturing technology of CMOS (Complementary Metal-Oxide Semiconductor: complementary metal oxide semiconductor) etc. can be provided.

[0344]According to this inventionan outstanding imaging device and a drive

controlling method for the same which accumulate various circuit modules for processing the detecting signal in each pixel on the same chip can be provided.

[0345]According to this inventionan outstanding imaging device and a drive controlling method for the same which can realize AD (Analog-to-Digital) conversion process and other one or more data processing to a photodiode output using the circuit module on the same chip can be provided.

[0346]According to this inventionanalog quantity called the luminosity of a photographic subject is convertible for a digital variable using an image sensor with the circuitry which calculates a time change of the luminosity of a photographic subject. Thereforeit is not necessary to carry an analog-to-digital circuit for exclusive useand circuit structure can be controlled compared with other methods with an equivalent function.

[0347]According to this inventionin the A/D conversion processing changed into a digital variable from analog quantitythe so-called large image pick-up of the dynamic range is realizable by adjusting a time [ to integrate with a reference signal level and the luminosity of a photographic subject ] unit.

[0348]According to this inventionwhen changing the detecting signal of each pixel into a digital variable from analog quantityan image pick-up strong against what is called random noise can be realized by integrating with the luminosity of a photographic subject in time.

[0349]According to this inventionwhen changing light-receiving signal strength into a digital value from an analog valuean outstanding imaging device and a drive controlling method for the same which can acquire the picture reproduced from the dark field to [ expanded the dynamic range simultaneously and ] the bright field can be provided. And the method expressing light-receiving signal strength can be freely changed by changing the timing of a drive pulse and the existence of a pulse which are supplied to each pixel.

---

## DESCRIPTION OF DRAWINGS



---

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing typically the circuitry of the image sensor concerning a 1st embodiment of this invention.

[Drawing 2] It is a figure showing the internal configuration of the pixel included in the image sensor concerning a 1st embodiment of this invention.

[Drawing 3] It is a figure showing in detail the circuit structure of the unit pixel which realizes this invention.

[Drawing 4] In the unit pixel shown in drawing 3 it is a principle figure which changes into a digital variable the luminosity which is analog quantity.

[Drawing 5] (Formula 1) It is the figure which plotted on the graph the general formula (formula 4) obtained from - (formula 3).

[Drawing 6] It is the figure which plotted (the formula 4) on the graph that it might be changing further (formula 5).

[Drawing 7] It is the figure which plotted on the graph the expression of relations (formula 6) of the luminosity  $VD$  and  $VD^*$  which were called for by eliminating detected time  $TD$  using (the formula 4) (formula 5).

[Drawing 8] In the unit pixel shown in drawing 3 it is a figure showing the operation timing chart for acquiring the signal for changing into a digital variable the luminosity which is analog quantity.

[Drawing 9] In the unit pixel shown in drawing 3 it is a figure showing the operation flow chart for acquiring the signal for changing into a digital variable the luminosity which is analog quantity.

[Drawing 10] In the image sensor of composition of being shown in drawing 1 it is a figure showing the operation timing chart for acquiring the signal which changed into the digital variable the luminosity which is analog quantity.

[Drawing 11] In the unit pixel shown in drawing 3 it is a figure showing the operation timing chart of each clock pulse for detecting the time it becomes calculate a time change of a luminosity and steep changing.

[Drawing 12] It is a figure showing the operation flow chart in each unit pixel for

detecting the time it becomes calculate a time change of a luminosity and steep changing.

[Drawing 13] It is a figure showing typically the example of composition of the whole imaging system which applied the image sensor 1001 concerning a 2nd embodiment of this invention.

[Drawing 14] It is a figure showing typically the circuitry of the image sensor 1001 concerning a 2nd embodiment of this invention.

[Drawing 15] It is a figure showing typically the structure of the unit pixel which constitutes the image sensor 1.

[Drawing 16] It is a figure for explaining the principle which changes into a digital signal the light-receiving intensity which is the amount of analog signals.

[Drawing 17] It is a figure showing the extended principle of the luminosity conversion dynamic range.

[Drawing 18] It is a figure showing one example of mounting about each block of the unit pixel of the image sensor shown in drawing 15.

[Drawing 19] It is a figure showing the internal configuration of the light sensing portion 1100 and the amplifier 1101 in detail among unit pixels.

[Drawing 20] It is a figure showing 100 million copies of set [ 2nd ] of internal configurations of 1103 with the 1st storage parts store 1102 in detail among unit pixels.

[Drawing 21] It is a figure showing the internal configuration of the bias part 1105 in detail among unit pixels.

[Drawing 22] It is a figure showing the internal configuration of the comparing element 1104 and the outputting part 1106 in detail among unit pixels.

[Drawing 23] It is a figure showing the timing chart of luminosity conversion.

[Drawing 24] It is a figure showing the timing chart of bias voltage conversion.

[Drawing 25] It is a figure showing a dynamic range extension timing chart.

[Description of Notations]

1 -- Pixel

2 -- Driving clock generator

3 -- Vertical drive circuit  
10 -- Light sensing portion  
20 -- The 1st amplifier  
30 -- The 2nd amplifier  
40 -- Storage parts store  
50 -- A load section and operation part  
55 -- Bias part  
60 -- Outputting part  
1001 -- Image sensor  
1002 -- Signal generator  
1003 -- Signal processing part  
1004 -- Frame memory  
1005 -- Digital-to-analog part  
1006 -- Indicator  
1011 -- Unit pixel  
1012 -- Pixel control signal  
1013 -- Vertical signal wire  
1030 -- Horizontal output circuit  
1100 -- Light sensing portion  
1101 -- Amplifier  
1102 -- The 1st storage parts store  
1103 -- The 2nd storage parts store  
1104 -- Comparing element  
1105 -- Bias part  
1106 -- Outputting part

---

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-33962  
(P2002-33962A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード*(参考)
H 0 4 N	5/335	H 0 4 N 5/335	E 2 H 0 0 2
			P 2 H 0 5 4
G 0 3 B	7/081	G 0 3 B 7/081	4 M 1 1 8
	7/091	7/091	5 C 0 2 4
	19/02	19/02	5 J 0 2 2
審査請求 未請求 請求項の数18 O L (全 40 頁) 最終頁に続く			

(21)出願番号 特願2001-24493(P2001-24493)  
(22)出願日 平成13年1月31日(2001.1.31)  
(31)優先権主張番号 特願2000-134686(P2000-134686)  
(32)優先日 平成12年5月8日(2000.5.8)  
(33)優先権主張国 日本(J P)

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 吉村 真一  
東京都品川区東五反田1丁目14番10号 株  
式会社ソニー木原研究所内  
(72)発明者 上田 和彦  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(74)代理人 100101801  
弁理士 山田 英治 (外2名)

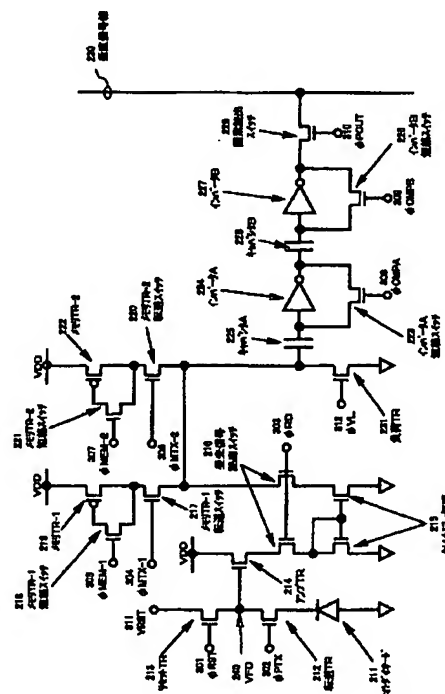
最終頁に続く

(54)【発明の名称】 撮像装置及びその駆動制御方法

(57)【要約】

【課題】 受光信号のA/D変換とその他の演算を同一回路上で実現する。

【解決手段】 撮像装置は、被写体の明るさに応じた電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部の出力信号を演算する演算部と、演算結果を外部出力する出力部と、各部の駆動を制御する駆動制御部とで構成される。1つの記憶部に記憶される基準信号レベルと、他の記憶部に時間的に積分しながら記憶されるは被写体の明るさを比較して、明るさ信号が基準信号を越えた時間に基づいて被写体の明るさをA/D変換する。



## 【特許請求の範囲】

【請求項1】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部と、前記各部の駆動を制御する駆動制御部を具備し、

前記駆動制御部は、1つの記憶部に基準信号レベルに相当する電流信号を記憶させるとともに、他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶させ、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理せしめる駆動制御モードを有し、

前記演算部は、被写体の明るさ信号が基準信号レベルを越えた瞬間に識別信号を出力することを特徴とする撮像装置。

【請求項2】前記駆動制御部は、前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶させるとともに、各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理せしめる他の駆動制御モードを有し、

前記演算部は、被写体の明るさが変化した瞬間に識別信号を出力することを特徴とする請求項1に記載の撮像装置。

【請求項3】前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項1に記載の撮像装置。

【請求項4】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項1に記載の撮像装置。

【請求項5】前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装されている、ことを特徴とする請求項1に記載の撮像装置。

【請求項6】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部とで構成される撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を時間的に積

分しながら記憶するステップと、(c) 各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理するステップと、(d) 被写体の明るさ信号が基準信号レベルを越えた瞬間に前記演算部が識別信号を出力するステップと、で構成される駆動制御モードを実現して、前記ステップ(d)における識別信号出力によって計測される被写体の明るさが基準信号レベルを越えるまでの経過時間を計測し、該計測結果に基づきアナログ量である被写体の明るさをデジタル量に変換することを特徴とする撮像装置の駆動制御方法。

【請求項7】さらに、(p) 前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶するステップと、(q) 各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理するステップと、(r) 前記演算部が被写体の明るさが変化した瞬間に識別信号を出力するステップと、で構成される他の駆動制御モードを実現して、被写体の明るさの時間的な変化を高速に演算することを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項8】前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項9】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項10】前記の各部は同一回路チップ上に実装されていることを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項11】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、前記比較部は、該1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較する、ことを特徴とする撮像装置。

【請求項12】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部

に入力される各信号に対してバイアス信号を付加するバイアス部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

前記バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加する、ことを特徴とする撮像装置。

【請求項13】前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項12に記載の撮像装置。

【請求項14】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項12に記載の撮像装置。

【請求項15】前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装されている、ことを特徴とする請求項12に記載の撮像装置。

【請求項16】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部とを備え、前記の各記憶部から読み出した信号の比較結果を画素信号として出力するタイプの撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を記憶するステップと、(c) 該1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させるステップと、(d) 前記ステップ(c)により時間的に徐々に上昇された基準信号レベルと該他の記憶部から読み出される電流信号を比較するステップと、(e) 前記ステップ(d)による比較結果を画素出力として出力するステップと、を具備することを特徴とする撮像装置の駆動制御方法。

【請求項17】前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項16に記載の撮像装置の駆動制御方法。

【請求項18】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項16に記載の撮像装置の駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、小型・軽量に構成された撮像装置及びその駆動制御方法に係り、CMOS

(Complementary Metal-Oxide Semiconductor：相補性金属酸化膜半導体)などの半導体製造技術を用いて実現される撮像装置及びその駆動制御方法に関する。

【0002】更に詳しくは、本発明は、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる撮像装置及びその駆動制御方法に係り、特に、画素信号に対するAD(Analog-to-Digital)変換処理並びに他の1以上の演算処理を同じチップ上の回路モジュールを用いて実現する撮像装置及びその駆動制御方法に関する。

【0003】

【従来の技術】昨今の半導体製造技術の急速な進歩とも相俟って、比較的安価な撮像素子が入手可能となってきた。この結果、携帯電話やPDA(Personal Digital Assistant)などの携帯端末において、小型のカメラを付属あるいは搭載した機器が開発され、市場に流通し始めている。ところが、これらの携帯端末は、小型軽量を特徴とするので、搭載されるカメラも小型軽量でなければならない。また、携帯型機器は、一般にバッテリー駆動式であるため、機器本体のみならずその付属・搭載部品も、低消費電力であることが求められる。

【0004】一般的に、カメラといえばCCD(Charge Coupled Device：電荷結合素子)センサを用いたものを思い浮かべることができる。CCDとは、MOS(MetalOxide Semiconductor)型電極をチェーンのように配設して構成される集積回路のことであり、半導体表面の電荷をある電極から次の電極へと順次転送する機能を利用して、撮像した画像データを出力するようになっている。ところが、CCDセンサは電源電圧が複数必要であることや、消費電力が比較的大きいといった点から上記のような携帯機器のような用途には向いているとはいえない。

【0005】他方、CMOS(Complementary Metal-Oxide Semiconductor：相補性金属酸化膜半導体)イメージ・センサが次世代のイメージ・センサとして注目を浴び始めている。

【0006】CMOS技術を用いて実装されるこのタイプのイメージ・センサであれば、小型・軽量化や、低消費電力などの仕様を満足させることができる。また、イメージ・センサと同一のチップ上に、CMOS技術で実現できる様々な回路部品を集積することができる。特に、センサ上の各画素におけるフォト・ダイオード出力をノイズ除去並びにゲイン補正を経た後、アナログ値からデジタル値に変換して、さらにはデジタル信号のまま画像処理を行うといった機能を同一チップ上に搭載したCMOSイメージ・センサに関する報告も幾つかなされている。特に、センサ上で画像処理を行う機能を搭載した、いわゆる「スマート・センサ」は、ゲーム用からセキュリティ用途に至るまで幅広く利用されるものとして期待されている。

【0007】CMOSイメージ・センサに関する特集記事としては、例えば、「ディジタル画像処理機能を持ったCMOSイメージセンサ」（映像情報メディア学会誌 Vol. 53, No. 2, pp. 172~177, 1999）が挙げられる。

【0008】また、論文としては、“CMOS Active Pixel Sensor with On-Chip Successive Approximation Analog-To-Digital Converter”（Zhimin Zhou et al., IEEE Transactions On Electron Devices, Vol. 44, No. 10, 1997）が挙げられる。

【0009】さらに米国特許としては、1998年9月1日付けで発行された米国特許第5,801,657号明細書（発明の名称：SERIAL ANALOG-TO-DIGITAL CONVERTER USING SUCCESSIVE COMPARISONS）などが存在する。

【0010】しかしながら、先行するこれらの技術のほとんどが、撮像素子と同一のチップ上に、画素毎、あるいは画素列毎に専用のアナログ／デジタル・コンバータ（以下、「ADコンバータ」とする）を搭載することによって所望の機能を実現するものである。したがって、画素出力に対してADコンバータ以外の処理を行うためには、さらに別の回路を集積する必要がある、イメージ・センサ・チップ全体の回路規模が大きくならざるを得ないという問題がある。

【0011】さらに、上述した各先行技術においては、画素毎に必要な不可欠な増幅トランジスタや読出しトランジスタの特性ばらつきに起因する固定パターン・ノイズを除去するための回路が別途必須となるので、回路構成はますます複雑になってしまう。

【0012】また、スマート・センサに関する文献の中には、明るいシーンでも飽和せずに、暗いシーンも埋もれず再現することができる、ダイナミック・レンジの広い撮像結果が得られるものについて報告がある。この種の先行技術として、フォト・ダイオード出力をMOSトランジスタのサブスレッショルド領域における電流特性を利用して対数変換を施すもの（萩原他著「対数変形型CMOSエリア固体撮像素子」、映像情報メディア学会誌 Vol. 54, No. 2, pp. 224~228, 2000）や、フォト・ダイオード出力が飽和した回数をカウントして、その回数を明るさに換算するもの（宮川他著「マルチ蓄積時間受光素子」、映像情報メディア学会誌 Vol. 51, No. 2, p. 256~262, 1997；伊野他著「蓄積中間画像を用いたイメージセンサ上でのA/D変換」、映像情報メディア学会誌 Vol. 54, No. 2, pp. 297~300, 2000）などが挙げられる。

【0013】しかしながら、前者のフォト・ダイオード出力をMOSトランジスタのサブスレッショルド領域における電流特性を利用して対数変換を施すタイプの場合、入射光量が急激に減少した場合の応答性に問題があったり、低照度におけるノイズの影響、あるいは画素内回路の特性ばらつきによる固定パターン・ノイズの増大

といった弊害が生じるなどの問題がある。

【0014】また、後者のフォト・ダイオード出力が飽和した回数をカウントして明るさに換算するタイプの場合には、信号を電圧として記憶したり比較したりするので、高速な処理が困難となり、アナログからデジタルへの変換後のビット数が充分でないという問題がある。

【0015】

【発明が解決しようとする課題】本発明の目的は、小型・軽量に構成された優れた撮像装置及びその駆動制御方法を提供することにある。

【0016】本発明の更なる目的は、CMOS（Complementary Metal-Oxide Semiconductor：相補性金属酸化膜半導体）などの半導体製造技術を用いて実現される、優れた撮像装置及びその駆動制御方法を提供することにある。

【0017】本発明の更なる目的は、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる、優れた撮像装置及びその駆動制御方法を提供することにある。

【0018】本発明の更なる目的は、画素信号に対するAD（Analog-to-Digital）変換処理並びに他の1以上の演算処理を同じチップ上の回路モジュールを用いて実現することができる、優れた撮像装置及びその駆動制御方法を提供することにある。

【0019】本発明の更なる目的は、受光信号強度をアナログ値からデジタル値に変換する際に、同時にダイナミック・レンジを拡大して、暗い領域から明るい領域に至るまで再現した画像を得ることができる、優れた撮像装置及びその駆動制御方法を提供することにある。

【0020】

【課題を解決するための手段】本発明は、上記課題を参酌してなされたものであり、その第1の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部と、前記各部の駆動を制御する駆動制御部を具備し、前記駆動制御部は、1つの記憶部に基準信号レベルに相当する電流信号を記憶させるとともに、他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶させ、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理せしめる駆動制御モードを有し、前記演算部は、被写体の明るさ信号が基準信号レベルを越えた瞬間に識別信号を出力することを特徴とする撮像装置である。

【0021】本発明の第1の側面に係る撮像装置において、前記駆動制御部は、前記複数の記憶部の各々に異な

る時刻における被写体の明るさに相当する電流信号を記憶させるとともに、各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理せしめる他の駆動制御モードを有してもよい。このような場合、前記演算部は、被写体の明るさが変化した瞬間に識別信号を出力するようにしてもよい。

【0022】また、前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含んでもよい。このような場合、前記増幅部は、カレント・ミラーの原理に従い電流信号を増幅することができる。

【0023】また、前記記憶部は、カレントコピアの原理に従って電流信号を記憶するようにしてもよい。

【0024】また、CMOS (Complementary Metal-Oxide Semiconductor: 相補性金属酸化膜半導体) 製造技術を利用することによって、前記の各部を同一回路チップ上に実装するようにしてもよい。例えば、前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装して、撮像素子を構成することができる。このような撮像素子により撮像した画像フレームを、所定のフレーム・メモリに一時格納したり、デジタル・アナログ変換して、NTSC (National Television System Committee) 形式又はVGA (Video Graphic Array) 形式の表示装置上で画面出力することができる。

【0025】また、本発明の第2の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部とで構成される撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶するステップと、(c) 各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理するステップと、(d) 被写体の明るさ信号が基準信号レベルを越えた瞬間に前記演算部が識別信号を出力するステップと、で構成される駆動制御モードを実現することを特徴とする撮像装置の駆動制御方法である。前記ステップ(d)において出力される識別信号によって被写体の明るさが基準信号レベルを越えるまでの経過時間を計測することができる。そして、この経過時間に基づいて、アナログ量である被写体の明るさをデジタル量に変換することができる。

【0026】本発明の第2の側面に係る撮像装置の駆動

制御方法は、さらに、(p) 前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶するステップと、(q) 各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理するステップと、(r) 前記演算部が被写体の明るさが変化した瞬間に識別信号を出力するステップと、で構成される他の駆動制御モードを実現してもよい。このような場合、被写体の明るさの時間的な変化を高速に演算することができる。

【0027】また、本発明の第3の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、前記比較部は、該1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較する、ことを特徴とする撮像装置である。

【0028】本発明の第3の側面に係る撮像装置によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の1つに記憶される。そして、記憶部から電気信号を読み出して、これを基準信号レベルと比較することにより画素出力を得る。

【0029】ここで、暗い光を検出して明るさとして表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第3の側面に係る撮像装置によれば、比較部は、1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較するようにした。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

【0030】また、本発明の第4の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部に入力される各信号に対してバイアス信号を付加するバイアス部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに



相当する電流信号を記憶し、前記バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加する、ことを特徴とする撮像装置である。

【0031】本発明の第4の側面に係る撮像装置によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の1つに記憶される。そして、比較部は、1つの記憶部から読み出された電流信号を基準信号レベルとして、他の記憶部から読み出される被写体の明るさに相当する電流信号と比較して、画素出力を得ることができる。

【0032】上述したように、暗い光を検出して明るさとして表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第4の側面に係る撮像装置によれば、バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加することによって、比較部に対して時間的に徐々に上昇する基準信号レベルを供給するようにした。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

【0033】また、本発明の第5の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部とを備え、前記の各記憶部から読み出した信号の比較結果を画素信号として出力するタイプの撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を記憶するステップと、(c) 該1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させるステップと、(d) 前記ステップ(c)により時間的に徐々に上昇された基準信号レベルと該他の記憶部から読み出される電流信号を比較するステップと、(e) 前記ステップ(d)による比較結果を画素出力として出力するステップと、を具備することを特徴とする撮像装置の駆動制御方法である。

【0034】本発明の第5の側面に係る撮像装置の駆動制御方法によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の1つに記憶される。そして、1つの記憶部から読み出された電流信号を基準信号レベルとして、他の記憶部から読み出される被写体の明るさに相当する電流信号と比較することによって、画素出力を得ることができる。

【0035】上述したように、暗い光を検出して明るさ

として表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第5の側面に係る撮像装置の駆動制御方法によれば、1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させ、かかる基準信号レベルを他の記憶部から読み出される被写体の明るさに相当する電流信号と比較して、画素出力を得るようにした。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておくとともに、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

【0036】

【作用】本発明に係る撮像装置は、被写体の明るさ電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部の出力信号を演算する演算部と、演算結果を外部出力する出力部と、各部の駆動を制御する駆動制御部とで構成される。

【0037】駆動制御部による駆動制御によって、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部には被写体の明るさに相当する電流信号を時間的に積分しながら記憶する。次いで、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを演算部において比較する。そして、被写体の明るさが基準信号レベルを越えるまでの経過時間に基づいて、アナログ量である被写体の明るさをデジタル量に変換することができる。

【0038】本発明によれば、被写体の明るさの時間的な変化を演算する回路構成を持つ撮像素子を用いて、被写体の明るさというアナログ量をデジタル量に変換することができる。したがって、専用のアナログ-デジタル変換回路を回路上に搭載する必要がなく、同等の機能を持つ他の方式に比べて回路規模の抑制を行うことができる。

【0039】また、本発明によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

【0040】また、本発明によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

【0041】また、本発明の第3乃至第5の各側面によれば、撮像装置は、画素毎に複数のフレーム・メモリと比較器とバイアス回路を持ち、それらを用いてアナログ・デジタル変換を行う際にバイアスを可変とすることに

よって、ダイナミック・レンジを拡大して、暗い領域から明るい領域まで再現することができる。

【0042】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0043】

【発明の実施の形態】以下、図面を参照しながら本発明の実施例を詳解する。

【0044】第1の実施形態

図1には、本発明の第1の実施形態に係る撮像素子の回路構成を模式的に示している。同図に示すように、撮像素子は、 $M \times N$ 個の画素1が2次元マトリックス状に配列され、各行毎に水平画素駆動信号群が敷設されるとともに、各列毎に垂直信号線が敷設されて構成される。

【0045】駆動クロック・ジェネレータ2は、単位画素を駆動するためのクロック・パルスが発生させる回路である。

【0046】また、垂直駆動回路3は、駆動クロック・ジェネレータ2において発生されたクロック・パルスを、水平方向に並んだM個の単位画素からなる画素行の各々に対して、動作タイミングをずらしながら水平画素駆動信号群経由で供給する。

【0047】また、各画素列毎に配設された出力回路4は、垂直信号線230を介して供給される各画素からの出力信号をレベル変換して、撮像素子の外部に出力するようになっている。

【0048】水平駆動信号線群、すなわち各画素に供給される駆動クロック・パルスには、リセットパルス $\phi_{RST}$  (301)、転送パルス $\phi_{PTX}$  (302)、受光信号読出しパルス $\phi_{RD}$  (303)、メモリTR-1転送パルス $\phi_{MTX-1}$  (304)、メモリTR-1短絡パルス $\phi_{MEM-1}$  (305)、メモリTR-2転送パルス $\phi_{MTX-2}$  (306)、メモリTR-2短絡パルス $\phi_{MEM-2}$  (307)、インバータA短絡パルス $\phi_{CMPA}$  (308)、インバータB短絡パルス $\phi_{CMPB}$  (309)、画素読出しパルス $\phi_{POUT}$  (310)、並びに、リセット電圧 $V_{RST}$  (311)が含まれる。これら駆動クロック・パルスを所定のタイミングで動作させることによって、撮像素子に対して画素出力信号のAD変換処理やその他の演算処理を適用することができる。但し、駆動クロック・パルスの動作タイミングや演算処理の手順については、後に詳解する。

【0049】例えばCMOS技術を適用して、図1に示すような撮像素子内のすべての回路モジュールを、同一チップ上に実装することが可能である。

【0050】図2には、撮像素子内に配列される画素1の内部構成を図解している。同図に示すように、画素1は、受光部10と、第1増幅部20と、第2増幅部30と、第1記憶部40-1から第k記憶部40-kまでのk個の記憶部と、負荷及び演算部50と、バイアス部5

5と、出力部60とで構成される。

【0051】受光部10は、入射光を電気信号に変換する光電変換部であり、一般にはフォト・ダイオード(PD)で構成される。受光部10の動作は、受光部駆動信号11により制御される。

【0052】第1増幅部20は、受光部10から転送されてくる電流信号を後続の第2増幅部30で処理するのに適したレベルに変換するとともに、第1増幅部駆動信号21によって規定される適切なタイミングで電流信号を出力する。

【0053】第2増幅部30は、第1増幅部20から転送されてくる電流信号を後続の各記憶部40において記憶するのに適したレベルにまで増幅するとともに、第2増幅部駆動信号31によって規定される適切なタイミングで電流信号を出力する。

【0054】第1記憶部40-1～第k記憶部40-kからなるk個の記憶部は、すべて第2増幅部30の出力に接続されており、この増幅信号の電流を記憶部駆動信号41によって規定される適切なタイミングで記憶保持することができる。1つの画素内に配設される記憶部の個数kは、後続の演算処理において必要な数によって決定すればよい。

【0055】負荷部及び演算部50は、第1記憶部40-1～第k記憶部40-kのすべての出力に接続されており、すべての又は一部の記憶部40からの出力電流を電圧に変換するとともに、演算部駆動信号51により規定される適切なタイミングで演算処理を行う。ここで言う演算の内容は、撮像素子の機能によって異なるが、信号の和、信号の差、信号の比較などが一般的である。

【0056】バイアス部55は、演算部50における演算時に必要なノイズ除去のためのバイアス電流を、バイアス部駆動信号56に応じて発生する。

【0057】出力部60は、負荷部及び演算部50による演算結果を撮像素子内の信号線に出力するのに適したレベルに変換して、出力部駆動信号61により適切なタイミングで画素出力70として出力する。

【0058】各部への駆動信号11～61は、水平画素駆動信号群(前述)を経由して撮像素子内を各画素1毎に敷設されている。垂直駆動回路3は、これら駆動信号11～61を発生して、水平方向に並ぶM個の画素行単位で駆動する。

【0059】各画素からの画素出力70は、垂直信号線230によって各画素列毎に互いに接続されている。各垂直信号線は、出力回路4によって適切なレベルに変換された後、撮像信号として撮像素子の外部に取り出される。

【0060】図3には、本発明を実現する単位画素の回路構造を詳細に示している。但し、同図に示す単位画素は2つの記憶部を持つものとする。以下、図3に示す単位画素内における構成及び動作特性について説明する。

【0061】フォトダイオード(211)は、入射光強度に応じて光電変換を行い、電子を蓄積する。

【0062】転送TR(212)は、nチャネルのMOS(Metal-Oxide Semiconductor:金属酸化膜半導体)トランジスタ(n-MOS)で構成され、ソース側にフォトダイオード(211)が接続されるとともに、ドレイン側にアンプTR(214)のゲートが接続されている。転送TR(212)のゲートに入力される転送パルス $\phi_{PTX}$ (302)がハイ・レベルになっている間、トランジスタ(212)がオンされ、フォト・ダイオード(211)に蓄積された電子は転送されてアンプTR(214)のゲート電位として利用される。このときのアンプTR(214)のゲート電位をVFD(240)とする。

【0063】リセットTR(213)はn-MOSTランジスタで構成され、ソース側が転送TR(212)のドレイン並びにアンプTR(214)のゲートに接続されるとともに、ドレイン側にはリセット電圧VRST(311)が印加されている。そして、リセットTR(213)のゲートに入力されているリセット・パルス $\phi_{RST}$ (301)がハイ・レベルになっている間、アンプTR(214)のゲート電位VFD(240)がリセット電圧VRST(311)によって定まる値に落ち着く。

【0064】アンプTR(214)はn-MOSTランジスタで構成され、ゲートは転送TR(212)のドレイン並びにリセットTR(213)のソースに接続され(前述)、ソース側は受光信号読出しスイッチ(216)に接続されているとともに、ドレイン側には電源電圧(VDD)が印加されている。アンプTR(214)は、受光信号読出しスイッチ(216)がオンになっている間、そのゲート電位VFD(240)に応じた電流をドレインからソースに流すことができる。

【0065】カレント・ミラー回路(215)は2つのn-MOSTランジスタで構成されており、各トランジスタのソース側が接地されているとともに、ドレイン側が受光信号読出しスイッチ(216)に接続されている。カレント・ミラー回路(215)は、受光信号読出しスイッチ(216)がオンになっている間、アンプTR(214)から流れ込む電流の値を、カレント・ミラーを構成する2個のトランジスタのサイズ比(具体的には、トランジスタのゲート長が同じであればゲート幅の比に応じた割合)で増幅する働きを持っている。

【0066】受光信号読出しスイッチ(216)を構成する2つのトランジスタはいずれもn-MOSTランジスタで構成されている。この各トランジスタのソース側はカレント・ミラー回路(215)に接続されている。また、一方のトランジスタのドレイン側はアンプTR(214)のソースに接続されているとともに、他方のトランジスタのドレイン側はメモリTR-1転送スイッ

チ(217)並びにメモリTR-2転送スイッチ(220)のソース及び負荷TR(231)並びにキャパシタA(225)に接続されている。

【0067】受光信号読出しスイッチ(216)を構成する各トランジスタのゲートに入力される受光信号読出しパルス $\phi_{RD}$ (303)がハイ・レベルになっている間、アンプTR(214)を通過する電流がカレント・ミラー回路(215)に流れ込み、カレント・ミラー回路(215)は各トランジスタのサイズ比に応じて電流を増幅する。増幅された電流は、メモリTR-1転送スイッチ(217)を介してメモリTR-1(219)に流れるか、又は、メモリTR-2転送スイッチ(220)を介してメモリTR-2(222)に流れるようになっている。

【0068】メモリTR-1転送スイッチ(217)はn-MOSTランジスタで構成され、ソース側はメモリTR-2転送スイッチ(220)のソース並びに負荷TR(231)とキャパシタA(225)、そして受光信号読出しスイッチ(216)のドレインに接続されている。また、そのドレイン側は、メモリTR-1(219)のドレイン並びにメモリTR-1短絡スイッチ(218)のソースに接続されている。そして、ゲートに入力されるメモリTR-1転送パルスすなわち $\phi_{MTX-1}$ (304)がハイ・レベルになっている間、メモリTR-1(217)に電流を流す働きをする。

【0069】メモリTR-1転送パルス $\phi_{MTX-1}$ (304)をハイ・レベルにする期間が受光信号読出しパルス $\phi_{RD}$ (303)がハイ・レベルとなる期間に一致しているときには、メモリTR-1(217)を流れる電流はカレント・ミラー回路(215)によって増幅された電流であり、メモリTR-1(217)はこの電流を記憶することができる。他方、 $\phi_{MTX-1}$ (304)をハイ・レベルにする期間が、後述する負荷TRパルス $\phi_{VL}$ (312)のハイ・レベルにする期間に一致しているときには、メモリTR-1(217)に記憶された電流が負荷TR(231)に流れ込む、すなわち記憶内容が読み出されることになる。

【0070】メモリTR-1短絡スイッチ(218)はn-MOSTランジスタで構成され、ソース側がメモリTR-1転送スイッチ(217)のドレインに接続されるとともに、ドレイン側はメモリTR-1(219)のゲートに接続されている。そして、ゲートに入力されるメモリTR-1短絡パルス $\phi_{MEM-1}$ (305)がハイ・レベルになっている間、メモリTR-1(219)のゲートとソースを短絡する働きをする。

【0071】メモリTR-1(219)はpチャネルのMOSTランジスタ(p-MOS)で構成され、そのソース側は電源電圧(VDD)に接続されるとともに、ドレイン側はメモリTR-1転送スイッチ(217)のドレイン及びメモリTR-1短絡スイッチ(218)のソ

ースに接続されている。そして、ゲートがメモリTR-1短絡スイッチ(218)のドレインに接続されているので、メモリTR-1短絡パルス $\phi_{MEM-1}$ (305)がハイ・レベルになっている間はゲートとドレインが短絡された状態となるので、飽和領域で動作し、ゲート電位=ドレイン電位に応じた電流が流れることになる。

【0072】さらに、メモリTR-1(219)は、メモリTR-1短絡パルス $\phi_{MEM-1}$ (305)がロー・レベルになっている間では、比較的小さなゲート容量およびその他の寄生容量によってゲート電位が保たれている限り、先に流れた電流を記憶しておくとともに、再びその電流を流すことが可能である(カレント・コピア動作)。この意味において、メモリTR-1(219)は、図2に示す第1記憶部40-1として動作することができる。しかも、この記憶動作は、ゲート容量が小さいこともあり、高速に行うことができるというメリットがある。

【0073】なお、メモリTR-2転送スイッチ(220)並びにメモリTR-2短絡スイッチ(221)、及びメモリTR-2(222)の種類、接続状況並びに動作特性については、メモリTR-2転送パルス $\phi_{MTX-2}$ (306)とメモリTR-2短絡パルス $\phi_{MEM-2}$ (307)のタイミングも含めて、メモリTR-1転送スイッチ(217)並びにメモリTR-1短絡スイッチ(218)及びメモリTR-1(219)の種類、接続状況並びに動作特性、そしてメモリTR-1転送パルス $\phi_{MTX-1}$ (304)とメモリTR-1短絡パルス $\phi_{MEM-1}$ (305)のタイミングと同様であるので、本明細書中では説明を省略する。

【0074】負荷TR(231)はn-MOSトランジスタで構成され、ソース側は接地されるとともに、ドレイン側は受光信号読出しスイッチ(216)のドレインならびにメモリTR-1転送スイッチ(217)とメモリTR-2転送スイッチ(220)のソース、並びにキャパシタA(225)に接続されている。そして、ゲートに入力される負荷TRパルス $\phi_{VL}$ (312)がハイ・レベルになっている間、流れる電流に応じた電圧が負荷TR(231)のドレイン側に発生するようになっている。

【0075】インバータA(224)は、一般的なn-MOSトランジスタとp-MOSトランジスタによる構成で(図示しない)、入力側にはキャパシタA(225)が、出力側にはキャパシタB(228)がそれぞれ接続されている。また、インバータA(224)の入力側と出力側にはインバータA短絡スイッチ(223)のソースとドレインがそれぞれ接続されている。

【0076】インバータA短絡スイッチ(223)はn-MOSトランジスタで構成され、ソースおよびドレインはインバータA(224)の入力側と出力側にそれぞ

れ接続されている(但し、接続の対応関係はその逆でもよい)。そして、ゲートに入力されているインバータA短絡パルス $\phi_{CMPA}$ (308)がハイ・レベルになっている間は、インバータA(225)の入力側と出力側を短絡するようになっている。

【0077】インバータA短絡スイッチ(223)がオンになっている間は、インバータA(225)の入力側と出力側が短絡されるので、その出力電圧は電源電圧のほぼ半分に相当する電圧に落ち着く。この電圧をインバータA(225)の動作電圧 $V_{inv-A}$ とする。

【0078】他方、インバータA短絡スイッチ(223)がオフになっている間は、インバータA(225)の入力側のキャパシタA(225)に発生する電位に応じて出力側の電位が決定される。

【0079】インバータB(227)も一般的なn-MOSトランジスタとp-MOSトランジスタによる構成であり、入力側にキャパシタB(228)が接続されるとともに、出力側には画素読出しスイッチ(229)のドレインが接続されている。また、インバータB(227)の入力側と出力側には、インバータB短絡スイッチ(226)のソースとドレインがそれぞれ接続されている。

【0080】インバータB短絡スイッチ(226)はn-MOSトランジスタで構成され、ソースおよびドレインはインバータB(227)の入力側と出力側にそれぞれ接続されている(但し、接続の対応関係はその逆でもよい)。そして、ゲートに入力されているインバータB短絡パルス $\phi_{CMPB}$ (309)がハイ・レベルになっている間は、インバータB(227)の入力側と出力側を短絡するようになっている。

【0081】インバータB短絡スイッチ(226)がオンになっている間は、インバータB(227)の入力側と出力側が短絡されるので、その出力電圧は電源電圧のほぼ半分に相当する電位に落ち着く。この電圧をインバータB(227)の動作電圧 $V_{inv-B}$ とする。

【0082】他方、インバータB短絡スイッチ(226)がオフになっている間は、インバータB(227)の入力側にあるキャパシタB(228)に発生する電位に応じた電圧が出力側に現れる。

【0083】画素読出しスイッチ(229)はn-MOSトランジスタで構成され、ソース側が垂直信号線(230)に接続されるとともに、ドレイン側はインバータB(227)の出力並びにインバータB短絡スイッチ(226)のドレイン(若しくはソース)に接続されている。そして、ゲートに入力されている画素読出しパルス $\phi_{POUT}$ (310)がハイ・レベルになっている間、インバータB(227)の出力電圧に応じた電圧レベルが垂直信号線(230)に発生することになる。

【0084】図4には、図3に示す単位画素において、アナログ量である明るさをデジタル量に変換する原理図

を示している。

【0085】VFDは、図3のアンプTR(214)のゲート電位であり(前述)、通常の動作では、電源電圧に等しいリセット電圧によって決まるリセット・レベルにリセットされている。

【0086】フォト・ダイオード(211)に光が照射されると、光電変換された電子が蓄積される。この蓄積電子は、転送TR(212)をオンすることによって、アンプTR(214)のゲート側に転送される。この結果、ゲート電位VFD(240)はリセット・レベルから低下する。

【0087】この電圧が低下する度合いは、転送される電子の量、あるいはフォト・ダイオード(211)にた

$$VH = TS \cdot \Delta VR / TH$$

$$VM = TS \cdot \Delta VR / TM$$

$$VL = TS \cdot \Delta VR / TL$$

(式1)

(式2)

(式3)

【0090】但し、各式において、TH、TM、TLは、明るさを表すラインH、M、Lの各々がリセット電圧を基準電圧としたときに決まる基準レベルと交差するときの時刻を表している。

【0091】図4及び各式からも分かるように、入射光の明るさを時刻の関数として表現することが可能となる。すなわち、フォト・ダイオード(211)が時刻ゼロから光の蓄積を始め、転送TR(212)をオンする度に低下していくゲート電位VFD(240)が基準レベルに達する瞬間までの時刻を検出すれば、入射光の明るさを求めることができる。

【0092】このとき、転送TR(212)をオンするタイミングを、所定のサンプリング周期 $\Delta T$ 刻みの時間としてカウントすれば、VFD(240)が基準レベル

$$VD = TS \cdot \Delta VR / TD$$

(式4)

【0096】(式4)をグラフ上にプロットすると、図5のようになり、検出時刻TDに対して求められる明るさVDは反比例することが分かる。さらに、(式4)を以下のように変形することで、明るさVD\*と検出時刻

$$VD* = TS \cdot \Delta VR - TD$$

(式5)

【0098】ここで、(式4)と(式5)とを用いて検出時刻TDを消去することによって、明るさVDとVD\*との間に成立する以下の関係式が求まる。

$$VD* = TS \cdot \Delta VR (1 - 1 / VD)$$

(式6)

【0100】VDとVD\*との関係式(式6)をグラフ上にプロットすると、図7のようになる。同図から分かるように、明るさVD\*は、フォトダイオードPD(211)の出力をそのまま表現した明るさVDに対して暗い領域を強調しているので、コントラストのよいはっきりした画像を与えることになる。

【0101】このような暗い領域を強調した(すなわちコントラストの大きな)画像を得るには、一般に、明るさVDに対して対数変換を施した画像を用いることが多い。すなわち、(式4)という非線型変換に加え、さら

まった電子数に比例し、これが入射光強度に相当する。したがって、明るい光が入射されるほどゲート電位VFD(240)の低下は急峻となり、逆に入射光が暗いほどVFD(240)は緩やかに低下することになる。

【0088】上述したような性質を利用すれば、例えば図4においてラインHで示される明るい光、ラインMの中間の明るさの光、並びにラインLの暗い光のそれぞれの明るさレベルVH、VM、VLを三角形の相似関係に基づいて以下の各式によって表現することができる。すなわち、

【0089】

【数1】

に達する瞬間の時刻(すなわち周期 $\Delta T$ とカウント値nの積)を、被写体の明るさのデジタル量(すなわちAD変換結果)として得ることができる。

【0093】また、ゲート電位VFD(240)の値を基準レベルと直接比較するのではなく、ゲート電位VFD(240)が基準レベルであったときに発生する電流と、光が照射されているときに転送TR(212)がオンされる度に時々刻々変化するゲート電位VFD(240)によって発生する電流とを比較することによって、同様に明るさの検出が可能であることは容易に分かる。

【0094】さて、ここで、上記の(式1)～(式3)から得られる以下の一般式について考察してみる。

【0095】

【数2】

TDとの間には線形的な関係が成立する。(式5)をグラフ上にプロットすると、図6のようになる。

【0097】

【数3】

【0099】

【数4】

に対数変換という非線型変換を施す必要があり、処理系の負担が少なくないことは明らかである。

【0102】これに対し、本実施例では、最初から(式5)のように線形変換だけで明るさを表現しておけば、簡単にコントラストの大きな、はっきりした画像を得ることができる。

【0103】このようにして、明るさというアナログ量を、時間刻みでサンプリングされた時刻情報TDによって量子化されたデジタル量に変換することが可能となる訳である。但し、明るさ信号をAD変換する処理の詳細

な手順については後述に譲る。

【0104】なお、デジタル量のビット数は、時刻情報のサンプリング $\Delta T$ の細かさに依存する。

【0105】図8には、図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作タイミング・チャートを示している。また、図9には、図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作フローチャートを示している。以下、図8及び図9を参照しながら、図3の単位画素においてフォト・ダイオード(211)の出力をAD変換するための動作について詳細に説明する。

【0106】まず、時刻カウンタとして使用される変数 $n$ を1に設定する(ステップS1)。そして、リセット電圧 $V_{RST}$ (311)を、明るさの基準となる信号レベル(基準電圧)に設定する(ステップS2)。

【0107】次いで、転送TR(212)のゲートに転送パルス $\phi_{PTX}$ (302)を印加することにより(ステップS3)、それ以前の期間でフォト・ダイオード(211)に蓄積されている残存電子をアンプTR(214)のゲート側に転送して(ステップS4)、再び転送パルス $\phi_{PTX}$ (302)をロー・レベルに戻しておく(ステップS5)。但し、このときにアンプTR(214)のゲートに現れる信号は利用しない。

【0108】次いで、リセットTR(213)のゲートにリセット・パルス $\phi_{RST}$ (301)を印加することによって(ステップS6)、アンプTR(214)のゲート電位 $V_{FD}$ (240)を基準電圧に対応した基準レベルに設定して(ステップS7)、再びリセット・パルス $\phi_{RST}$ (301)をロー・レベルに戻しておく(ステップS8)。

【0109】次いで、上記のように設定した基準レベルに対応する電流をメモリTR-1(219)に記憶させるために、受光信号読出しパルス $\phi_{RD}$ (303)、メモリTR-1転送パルス $\phi_{MTX-1}$ (304)、及び、メモリTR-1短絡パルス $\phi_{MEM-2}$ (305)を同時に印加する(ステップS9)。

【0110】このとき、アンプTR(214)のゲート電位 $V_{FD}$ (240)は先に設定された基準レベルになっているので、そのレベルに応じた電流がアンプTR(214)に流れる。また、受光信号読出しスイッチ(216)がオンになっているので、カレント・ミラー回路(215)によって増幅された電流(以下、「 $I-1$ 」とする)が、メモリTR-1転送スイッチ(217)を介してメモリTR-1(219)に流れることになる。但し、メモリTR-1短絡スイッチ(218)がオンになっているので、メモリTR-1(219)は飽和領域で動作している。

【0111】そして、メモリTR-1短絡パルス $\phi_{MEM-1}$ (305)をロー・レベルに戻すと(ステップS

10)、メモリTR-1短絡スイッチ(218)がオフとなり、メモリTR-1(219)は今まで流れていた電流 $I-1$ を記憶することになる(ステップS11)。

【0112】このとき、受光信号読出しスイッチ(216)とメモリTR-1転送スイッチ(217)は、メモリTR-1短絡スイッチ(218)がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルス $\phi_{RD}$ (303)及びメモリTR-1転送パルス $\phi_{MTX-1}$ (304)をロー・レベルに戻すタイミングはずらしてある(ステップS12)。

【0113】以上説明したように、ステップS1～S12によって、明るさの基準レベルに相当する電流 $I-1$ をメモリTR-1(219)に記憶することができる訳である。

【0114】ステップS13以降の処理では、一定周期毎に被写体の明るさを逐次読出しながら、上記の基準レベルと比較して、被写体の明るさと基準レベルとの大小関係が逆転するタイミング(図4において、明るさを表す直線が基準レベルと交差する点)を検出するようになっている。

【0115】まず、リセット電圧 $V_{RST}$ (311)を電源電圧に設定する(ステップS13)。

【0116】次いで、リセットTR(213)のゲートにリセット・パルス $\phi_{RST}$ (301)を印加することによって(ステップS14)、アンプTR(214)のゲート電位 $V_{FD}$ (240)をリセット電圧 $V_{RST}$ に対応したリセット・レベルに設定して(ステップS15)、再びリセット・パルス $\phi_{RST}$ (301)をロー・レベルに戻しておく(ステップS16)。

【0117】ここで、転送TR(212)のゲートに転送パルス $\phi_{PTX}$ (302)を印加する(ステップS17)。これによって、フォト・ダイオード(211)に蓄積されていた残存電子を転送した後なので(ステップS3～S5)、新たに光電変換によって発生した電子(図8のタイミング・チャートの受光期間(1)において発生した電子)が、アンプTR(214)のゲート側に転送される(ステップS18)。そして、再び転送パルス $\phi_{PTX}$ (302)をロー・レベルに戻しておく(ステップS19)。

【0118】ステップS20～S23によって、アンプTR(214)のゲート側に転送された電子の数によって決まる電流をメモリTR-2(222)に記憶させることができる。

【0119】まず、受光信号読出しパルス $\phi_{RD}$ (303)、メモリTR-2転送パルス $\phi_{MTX-2}$ (306)、及び、メモリTR-2短絡パルス $\phi_{MEM-2}$ (307)を同時に印加することによって(ステップS20)、カレント・ミラー回路(215)によって増幅された電流がメモリTR-2(222)に流れ込む。すなわち、メモリTR-2(222)には受光期間(1)



において発生した電子数に応じた信号電流（以下、「 $I-2$ 」とする）が流れる。但し、メモリTR-2短絡スイッチ（221）がオンになっているので、メモリTR-2（222）は飽和領域で動作している。

【0120】そして、メモリTR-2短絡パルス $\phi_{MEM-2}$ （307）をロー・レベルに戻すと（ステップS21）、メモリTR-2短絡スイッチ（221）がオフとなり、メモリTR-2（222）は今まで流れていた電流 $I-2$ を記憶することになる（ステップS22）。

【0121】このとき、受光信号読出しスイッチ（216）とメモリTR-2転送スイッチ（220）は、やはりメモリTR-2短絡スイッチ（221）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルス $\phi_{RD}$ （303）及びメモリTR-2転送パルス $\phi_{MTX-2}$ （306）をロー・レベルに戻すタイミングはずらしてある（ステップS23）。

【0122】ステップS20～S23によって、メモリTR-2（222）には、被写体の明るさに応じた電流が時間的に積分されながら記憶されていく。

【0123】さらに後続のステップS24以降では、メモリTR-1（219）及びメモリTR-2（222）にそれぞれ記憶されている電流 $I-1$ と $I-2$ を比較する。

【0124】まず、メモリTR-2転送スイッチ（220）と負荷TR（231）の各ゲートに対してメモリTR-2転送パルス $\phi_{MTX-2}$ （306）及び負荷TRパルス $\phi_{VL}$ （312）を印加することによって、各トランジスタをオンにする。この結果、メモリTR-2（222）に記憶されている電流 $I-2$ が負荷TR（231）に流れ込んで、その電流値に応じた負荷電圧（以下、「 $V_2$ 」とする）がドレイン側に発生する（ステップS24）。

【0125】このとき同時に、インバータA短絡スイッチ（223）とインバータB短絡スイッチ（226）の各ゲートにインバータA短絡パルス $\phi_{CMPA}$ （308）及びインバータB短絡パルス $\phi_{CMPB}$ （309）を印加して、各トランジスタをオンにする。この結果、インバータA（224）及びインバータB（227）のそれぞれの入出力を短絡させることができる（ステップS25）。これによって、インバータA（224）及びインバータB（227）の出力電圧はそれぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

【0126】次いで、インバータA短絡パルス $\phi_{CMPA}$ （308）を最初にロー・レベルにしてインバータA短絡スイッチ（223）をオフにする（ステップS26）。この結果、インバータA（224）の出力電圧は、短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し（以下、「 $V_{inv-A2}$ 」とする）、出力が確定する。その出力確定値は、負荷TR（231）に電流 $I-2$ が流れたときに発生する電圧（ $V_2$ ）がキャパシタ

タA（225）に加わったときの出力に対応していることになる（ステップS27）。

【0127】この時点では、キャパシタA（225）の両端には、負荷TR（231）に電流 $I-2$ が流れたときに発生する電圧（ $V_2$ ）とインバータA（224）の動作点電圧に近い値が印加されている（以下、「 $V_{inv-A1}$ 」とする）。

【0128】一方、インバータB（227）は、この時点ではまだ短絡状態なので、ステップS26におけるインバータA（224）の出力電圧の小さな変動はインバータB（227）の出力には現れていない。

【0129】次いで、インバータB短絡パルス $\phi_{CMPB}$ （309）をロー・レベルにすることによって、インバータB短絡スイッチ（226）をオフにする（ステップS28）。この結果、インバータB（227）の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保ち（以下、「 $V_{inv-B2}$ 」とする）、出力が確定する。この出力確定値が、負荷TR（231）に電流 $I-2$ が流れたときに発生する電圧（ $V_2$ ）がキャパシタA（225）、インバータA（224）、並びに、キャパシタB（228）を介してインバータB（227）に加わったときの出力に対応していることになる（ステップS29）。

【0130】そして、この時点では、キャパシタB（228）の両端には、インバータA（224）の出力電圧 $V_{inv-A2}$ とインバータB（228）の動作点電圧に近い値（以下、「 $V_{inv-B1}$ 」とする）が印加されている。

【0131】この状態で、メモリTR-2転送パルス $\phi_{MTX-2}$ （306）及び負荷TRパルス $\phi_{VL}$ （312）をロー・レベルに戻して、メモリTR-2転送スイッチ（220）及び負荷TR（231）をオフにすることによって、メモリTR-2（222）に記憶された電流 $I-2$ の読出しが完了する（ステップS30）。

【0132】次いで、再び負荷TRパルス $\phi_{VL}$ （312）をハイ・レベルにするとともに、同時にメモリTR-1転送パルス $\phi_{MTX-1}$ （304）もハイ・レベルにすることによって、負荷TR（231）及びメモリTR-1転送スイッチ（217）をオンにする（ステップS31）。この結果、メモリTR-1（219）に記憶されていた電流 $I-1$ が負荷TR（231）に流れ込んで、ドレイン側にはその電流値に対応した電圧（以下、「 $V_1$ 」とする）が発生する。

【0133】そして、この電圧 $V_1$ が、先に電流 $I-2$ が流れたときに負荷TR（231）に発生した電圧 $V_2$ よりも低ければ、キャパシタA（225）のインバータA（224）側電位は、先の $V_{inv-A1}$ より $V_2-V_1$ だけ下降することになる（但し、インバータA（224）の入力容量が無視できるほど小さい状況であるとす）。

【0134】したがって、インバータA（224）の出

力は $V_{inv-A2}$ より上昇し、その結果、キャパシタB (228) のインバータB (227) 側電位が上昇して、インバータB (227) の出力電圧は下降することになる。

【0135】逆に、電圧 $V_1$ が電圧 $V_2$ より高ければ、キャパシタA (225) のインバータA (224) 側電位は $V_{inv-A1}$ より $V_1-V_2$ だけ上昇し(但し、インバータA (224) の入力容量が無視できるほど小さい状況であるとする)、インバータA (224) の出力は $V_{inv-A2}$ より下降する。この結果、キャパシタB (228) のインバータB (227) 側電位も下降して、インバータB (227) の出力電圧が上昇することになる。

【0136】すなわち、メモリTR-1 (219) に記憶されていた電流 $I-1$ が、メモリTR-2 (222) に記憶されていた電流 $I-2$ よりも大きければ、負荷TR (231) に発生する電圧も $V_2$ より $V_1$ の方が高くなるので、インバータB (228) の出力は高くなる。逆に、電流 $I-1$ の方が $I-2$ よりも小さいと、インバータB (228) の出力は低くなる。略言すれば、このような動作特性によって、記憶されている2つの電流の大小比較が可能となる訳である(ステップS32)。

【0137】この状態で、画素読出しパルス $\phi_{POUT}$  (310) をハイ・レベルに転じて、画素読出しスイッチ (229) をオンにすることによって、垂直信号線 (230) には電流 $I-1$ と $I-2$ の比較結果に応じてインバータB (228) の出力レベルが現れることになる(ステップS33)。そして、画素読出しパルス $\phi_{POUT}$  (310) をロー・レベルに戻して(ステップS34)、続いてメモリTR-1転送パルス $\phi_{MTX-1}$  (304) 及び負荷TRパルス $\phi_{VL}$  (312) をロー・レベルに戻すことによって、一連の画素読出し動作を完了させる(ステップS35)。

【0138】このとき、垂直信号線 (230) のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する(ステップS36)。垂直信号線 (230) のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器(図示しない)によって行われる。

【0139】垂直信号線 (230) がハイ・レベルならば、電流 $I-1$ は $I-2$ より大きい、あるいは、基準レベルよりも入射光による信号レベルが低いことが分かる。すなわち、入射光が明るくなって基準レベルを横切ったと判断できるので、サンプリング周期 $\Delta T$ に時刻カウンタ値 $n$ で乗算した値 $\Delta T \times n$ を時刻情報として出力して(ステップS37)、図9に示す本処理ルーチン全体を終了する。

【0140】他方、垂直信号線 (230) のレベル、すなわち、今回読み出された画素の出力レベルがロー・レベルならば、時刻カウンタ $n$ を1だけインクリメントして(ステップS38)、ステップS17に戻ってフォト

・ダイオード(211)の電荷を転送するステップ以降を、垂直信号線 (230) がハイ・レベルに転じるまで繰り返し行う。

【0141】なお、時刻カウンタ $n$ を計数するための回路モジュールは、撮像素子と同一チップ上又は別のチップ上に実装することができる。

【0142】図9に示す処理ルーチンによって出力される時刻情報 $\Delta T \times n$ は、VFD (240) が基準レベルに達する瞬間の時刻であり、フォト・ダイオード (211) における入射光の明るさをデジタル量に変換した結果に相当する(前述)。言い換えれば、図9に示す処理ルーチンによって、撮像素子の各画素におけるフォト・ダイオード出力を、撮像素子内においてアナログ値からデジタル値に変換することができる訳である。

【0143】このように撮像素子内においてAD変換を実現するためには、駆動クロック・ジェネレータ2が各駆動クロック・パルスを図8に示すようなタイミングで出力するだけでよい、という点を充分理解されたい。

【0144】なお、図8の動作タイミングチャートに示すように、基準レベル記憶期間において、リセット・パルス $\phi_{RST}$  (301) の前に転送パルス $\phi_{PTX}$  (302) を出すことによって、フォト・ダイオード (211) に既に貯まった電子を排出するようにしている。この結果、次に転送パルス $\phi_{PTX}$  (302) が印加されるまでの期間すなわち受光期間(1)を、それ以降の受光期間(2)、(3)…に等しくすることができ、各時間刻み毎の受光時間を一定にすることが可能となる。

【0145】本実施例に係る撮像素子によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

【0146】また、本実施例に係る撮像素子によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

【0147】図10には、図1に示す構成の撮像素子において、アナログ量である明るさをデジタル量に変換した信号を得るための動作タイミング・チャートを示している。

【0148】より具体的には、図10は、図8の単位画素動作タイミング・チャートにおける基準レベル記憶期間と比較期間(1)の2つの期間における、1行目の画素並びに2行目の画素に与える駆動クロックのタイミングを示している。

【0149】リセット電圧 $V_{RST}$  (311) が基準電圧に設定されている期間において、まず、1行目に並んだ $M$ 個のすべての画素に対して、リセット・パルス $\phi_{RST}$  (301)、転送パルス $\phi_{PTX}$  (302)、受光



信号読み出しパルス $\phi$ RD (303)、メモリTR-1 転送パルス $\phi$ MTX-1 (304)、及び、メモリTR-1 短絡パルス $\phi$ MEM-1 (305)を、図示されているタイミングで一斉に印加する。

【0150】次いで、ある一定時間経過後に、今度は2行目に並んだM個のすべての画素に対して、リセット・パルス $\phi$ RST (301)、転送パルス $\phi$ PTX (302)、受光信号読み出しパルス $\phi$ RD (303)、メモリTR-1 転送パルス $\phi$ MTX-1 (304)、メモリTR-1 短絡パルス $\phi$ MEM-1 (305)を一斉に印加する。

【0151】そして、3行目以降からN行目までの画素に対して、同様に、位相のずれた駆動クロックを逐次印加していく(図示しない)。このようにして、すべての単位画素において、メモリTR-1 (219)に基準レベルに対応する電流を記憶することができる。

【0152】N行目まで記憶動作終了したら、次にリセット電圧VRST (311)を電源電圧に設定して、1行目に並んだM個のすべての画素に対して、リセット・パルス $\phi$ RST (301)、転送パルス $\phi$ PTX (302)、受光信号読み出しパルス $\phi$ RD (303)、メモリTR-2 転送パルス $\phi$ MTX-2 (306)、メモリTR-2 短絡パルス $\phi$ MEM-2 (307)を図示されているタイミングで一斉に印加することによって、受光期間(1)で光電変換された電子数で決まる電流をメモリTR-2 (222)に記憶することができる。

【0153】その直後に、メモリTR-2 転送パルス $\phi$ MTX-2 (306)、負荷TRパルス $\phi$ VL (312)、インバータA短絡パルス $\phi$ CMPA (308)、インバータB短絡パルス $\phi$ CMPB (309)を印加して、メモリTR-2 (222)に記憶されていた電流を読み出し負荷TR (231)で電圧に変換する。

【0154】続いて、メモリTR-1 転送パルス $\phi$ MTX-1 (304)、負荷TRパルス $\phi$ VL (312)を印加して、メモリTR-1 (219)に記憶されていた電流を読み出して、負荷TR (231)において電圧に変換するとともに、先に読み出されていた電圧との比較を行う。そして、画素読み出しスイッチ(229)のゲートに画素読み出しパルス $\phi$ POUT (310)を印加することによって、比較の結果生じるインバータB (227)の出力電圧を垂直信号線(230)へ読み出す。

【0155】そして、2行目に並んだM個のすべての画素に対して、リセット・パルス $\phi$ RST (301)、転送パルス $\phi$ PTX (302)、受光信号読み出しパルス $\phi$ RD (303)、メモリTR-2 転送パルス $\phi$ MTX-2 (306)、メモリTR-2 短絡パルス $\phi$ MEM-2 (307)を、1行目と同様に一斉に印加することによって、受光期間(1)で光電変換された電子数で決まる電流をメモリTR-2 (222)に記憶する。

【0156】その直後に、メモリTR-2 転送パルス $\phi$

MTX-2 (306)、負荷TRパルス $\phi$ VL (312)、インバータA短絡パルス $\phi$ CMPA (308)、インバータB短絡パルス $\phi$ CMPB (309)を印加して、メモリTR-2 (222)に記憶されていた電流を読み出し負荷TR (231)で電圧に変換する。

【0157】続いて、メモリTR-1 転送パルス $\phi$ MTX-1 (304)、負荷TRパルス $\phi$ VL (312)を印加して、メモリTR-1 (219)に記憶されていた電流を読み出して、負荷TR (231)で電圧に変換するとともに、先に読み出されていた電圧との比較を行う。そして、画素読み出しスイッチ(229)のゲートに画素読み出しパルス $\phi$ POUT (310)を印加することによって、比較の結果生じるインバータB (227)の出力電圧を垂直信号線(230)へ読み出す。

【0158】そして、3行目以降からN行目までの画素に対して、同様に位相のずれた駆動クロックを逐次印加していくことによって、すべての単位画素において、メモリTR-1 (219)に記憶された基準レベルに対応する電流とメモリTR-2 (222)に記憶された受光強度に比例した信号電流とを比較することができる。

【0159】本実施例に係る撮像素子における単位画素の各々は、駆動クロック・ジェネレータ2が出力する各クロック・パルス間のタイミング、すなわち駆動モードを切り換えることによって、フォト・ダイオード出力に対してA/D変換以外の演算処理を適用することが可能である。例えば、各単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出することができる。

【0160】図11には、図3に示す単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各クロック・パルスの動作タイミング・チャートを示している。また、図12には、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各単位画素における動作フローチャートを示している。以下、図11及び図12を参照しながら説明する。

【0161】まず、時刻カウンタとして使用する変数nを1に設定する(ステップS51)。そして、リセット電圧VRST (311)を、電源電圧に設定する(ステップS52)。

【0162】次いで、リセットTR (213)のゲートにリセット・パルス $\phi$ RST (301)を印加することによって、アンプTR (214)のゲート電位VFD (240)を電源電圧に対応したリセット・レベルに設定して(ステップS53)、再びリセット・パルス $\phi$ RST (301)をロー・レベルに戻す。

【0163】そして、フォトダイオード(211)に蓄積されている電子をアンプTR (214)のゲート側に転送する(ステップS54)。この処理は、演算を開始する前にフォト・ダイオード(211)に貯まっていたす

すべての電子を掃き出して初期化する動作に相当するが（図11の初期化期間）、転送TR（212）のゲートに転送パルスφPTX（302）を印加するした後、再び転送パルスφPTX（302）をロー・レベルに戻すことによって行われる。

【0164】次いで、再びリセットTR（213）のゲートにリセット・パルスφRST（301）を印加することによって、アンプTR（214）のゲート電位VFD（240）を電源電圧に対応したリセット・レベルに設定して（ステップS55）、再びリセット・パルスφRST（301）をロー・レベルに戻す。

【0165】そして、図11の受光期間（1）にフォト・ダイオード（211）で光電変換されて蓄積されている電子をアンプTR（214）のゲート側に転送する（ステップS56）。この処理は、転送TR（212）のゲートに転送パルスφPTX（302）を印加した後、再び転送パルスφPTX（302）をロー・レベルに戻すことによって行われる。

【0166】このとき、アンプTR（214）のゲート電位VFD（240）は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-1（219）に記憶させるためには、各トランジスタは以下のように動作すればよい。

【0167】まず、受光信号読出しパルスφRD（303）、メモリTR-1転送パルスφMTX-1（304）、メモリTR-1短絡パルスφMEM-1（305）を同時に印加すると、上述した発生電流がアンプTR（214）に流れる。また、受光信号読出しスイッチ（216）がオンになっているので、カレント・ミラー回路（215）によって増幅された電流（以下、「I-1」とする）が、メモリTR-1転送スイッチ（217）を介してメモリTR-1（219）に流れ込むことになる。但し、メモリTR-1短絡スイッチ（218）がオンになっているので、このときのメモリTR-1（219）は飽和領域で動作している。

【0168】そして、メモリTR-1短絡パルスφMEM-1（305）をロー・レベルに戻すと、メモリTR-1短絡スイッチ（218）がオフとなり、メモリTR-1（219）はこれまで流れていた電流I-1を記憶することになる（ステップS57）。

【0169】このとき、受光信号読出しスイッチ（216）とメモリTR-1転送スイッチ（217）は、メモリTR-1短絡スイッチ（218）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）とメモリTR-1転送パルスφMTX-1（304）がロー・レベルになるタイミングはずらしてある。

【0170】以上説明したように、ステップS55～S57の処理によって、受光期間（1）で光電変換された電子の数に相当する電流I-1をメモリTR-1（21

9）に記憶することができる訳である。

【0171】次いで、リセットTR（213）のゲートにリセット・パルスφRST（301）を印加することによって、アンプTR（214）のゲート電位VFD

（240）を電源電圧に対応したリセット・レベルに設定して（ステップS58）、再びリセット・パルスφRST（301）をロー・レベルに戻す。

【0172】そして、図11のタイミング・チャートにおける受光期間（2）で発生した電子を、アンプTR（214）のゲート側に転送する（ステップS59）。この処理は、転送TR（212）のゲートに転送パルスφPTX（302）を印加した後、再び転送パルスφPTX（302）をロー・レベルに戻すことによって行われる。

【0173】このとき、アンプTR（214）のゲート電位VFD（240）は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-2（222）に記憶させるためには、各トランジスタは以下のように動作すればよい。

【0174】受光信号読出しパルスφRD（303）、メモリTR-2転送パルスφMTX-2（306）、メモリTR-2短絡パルスφMEM-2（307）を同時に印加することによって、上述した発生電流がアンプTR（214）に流れる。また、受光信号読出しスイッチ（216）がオンになっているので、カレント・ミラー回路（215）によって増幅された電流（以下、「I-2」とする）が、メモリTR-2転送スイッチ（220）を介してメモリTR-2（222）に流れ込むことになる。但し、メモリTR-2短絡スイッチ（221）がオンになっているので、このときのメモリTR-2（222）は飽和領域で動作している。

【0175】ここで、メモリTR-2短絡パルスφMEM-2（307）をロー・レベルに戻すと、メモリTR-2短絡スイッチ（222）がオフとなり、メモリTR-2（222）はこれまで流れていた電流I-2を記憶することになる（ステップ60）。

【0176】このとき、受光信号読出しスイッチ（216）とメモリTR-2転送スイッチ（220）は、やはりメモリTR-2短絡スイッチ（221）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）とメモリTR-2転送パルスφMTX-2（306）がロー・レベルになるタイミングはずらしてある。

【0177】以上説明したように、ステップS58～S60の処理によって、受光期間（2）で光電変換された電子の数に相当する電流I-2をメモリTR-2（222）に記憶することができる訳である。

【0178】続くステップS61～S65では、メモリTR-1（219）とメモリTR-2（222）の各々に記憶されている電流I-1とI-2を比較する処理を

行う。これはすなわち、受光期間（１）と受光期間

（２）の各期間において光電変換されて発生した電子数の大小比較を行うことになる。

【0179】まず、メモリTR-1転送パルス $\phi_{MTX-1}$ （304）及び負荷TRパルス $\phi_{VL}$ （312）をともに印加することによって、メモリTR-1転送スイッチ（217）と負荷TR（231）をともにオンにする。この結果、メモリTR-1（219）に記憶されている電流 $I-1$ が負荷TR（231）に流れ込み、その電流値に応じた負荷電圧（以下、「 $V_1$ 」とする）がドレイン側に発生する。

【0180】このとき、インバータA短絡スイッチ（223）とインバータB短絡スイッチ（226）の各ゲートに対してインバータA短絡パルス $\phi_{CMPA}$ （308）とインバータB短絡パルス $\phi_{CMPB}$ （309）を同時に印加する。この結果、インバータA短絡スイッチ（223）とインバータB短絡スイッチ（226）はともにオンされて、インバータA（224）及びインバータB（227）の各入出力は短絡されることになる（ステップS61）。これによって、インバータA（224）及びインバータB（227）の各出力電圧は、それぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

【0181】ここで、インバータA短絡パルス $\phi_{CMPA}$ （308）を最初にロー・レベルにすることによってインバータA短絡スイッチ（223）をオフにすると、インバータA（224）の出力電圧は短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し（以下、「 $V_{inv-A2}$ 」とする）、インバータA（224）の出力が確定する（ステップS62）。その電圧値は、負荷TR（231）に電流 $I-1$ が流れたときに発生する電圧 $V_1$ がキャパシタA（225）に印加されたときの出力に対応している。

【0182】また、この時点では、キャパシタA（225）の両端には、負荷TR（231）に電流 $I-1$ が流れたときに発生する電圧（ $V_1$ ）とインバータA（224）の動作点電圧に近い値が印加されている（以下、「 $V_{inv-A1}$ 」とする）。

【0183】一方、インバータB（227）は未だ短絡状態なので、ステップS62におけるインバータA（224）の出力電圧の小さな変動はインバータB（227）側の出力には現れていない。

【0184】次いで、インバータB短絡パルス $\phi_{CMPB}$ （309）をロー・レベルにすることによって、インバータB短絡スイッチ（226）をオフにすると、インバータB（227）の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保っている（以下、「 $V_{inv-B2}$ 」とする）。この値が、負荷TR（231）に電流 $I-1$ が流れたときに発生する電圧（ $V_1$ ）がキャパシタA（225）、インバータA（224）、キャパシタB（228）を介してインバータB（227）に

加わったときの出力に対応している（ステップS63）。

この時点では、キャパシタB（228）の両端には、インバータA（224）の出力電圧 $V_{inv-A2}$ と、インバータB（227）の動作点電圧に近い電圧（以下、「 $V_{inv-B1}$ 」とする）がそれぞれ印加されている。

【0185】この状態で、メモリTR-1転送パルス $\phi_{MTX-1}$ （304）及び負荷TRパルス $\phi_{VL}$ （312）をともにロー・レベルにして、メモリTR-1転送スイッチ（217）及び負荷TR（231）をともにオフすることによって、メモリTR-1（219）に記憶しておいた電流 $I-1$ の読出し動作が完了する。

【0186】次いで、再び負荷TRパルス $\phi_{VL}$ （312）をハイ・レベルに転じるとともに、同時にメモリTR-2転送パルス $\phi_{MTX-2}$ （306）もハイ・レベルに転じることによって、負荷TR（231）及びメモリTR-2転送スイッチ（220）をともにオンにする。この結果、メモリTR-2（222）に記憶されていた電流 $I-2$ が負荷TR（231）に流れ込んで、ドレイン側にはその電流値に対応した電圧（以下、「 $V_2$ 」とする）が発生する。

【0187】ここで、電流 $I-2$ が流れ込んだときに負荷TR（231）に発生した電圧 $V_2$ が、電流 $I-1$ が流れ込んだときに負荷TR（231）に発生した電圧 $V_1$ よりも低ければ、キャパシタA（225）のインバータA（224）側の電位は、先の $V_{inv-A1}$ より $V_1-V_2$ だけ下降する（但し、インバータA（224）の入力容量が無視できるほど小さい状況であるとする）。したがって、インバータA（224）の出力は $V_{inv-A2}$ より上昇して、その結果、キャパシタB（228）のインバータB（227）側電位が上昇して、インバータB（227）の出力電圧は下降することになる。

【0188】逆に、電圧 $V_2$ が電圧 $V_1$ よりも高ければ、キャパシタA（225）のインバータA（224）側電位は $V_{inv-A1}$ より $V_2-V_1$ だけ上昇して、インバータA（224）の出力は $V_{inv-A2}$ より下降する（但し、インバータA（224）の入力容量が無視できるほど小さい状況であるとする）。その結果、キャパシタB（228）のインバータB（227）側電位も下降して、インバータB（227）の出力電圧が上昇することになる。

【0189】すなわち、メモリTR-2（222）に記憶されていた電流 $I-2$ が、メモリTR-1（219）に記憶されていた電流 $I-1$ よりも大きければ、負荷TR（231）に発生する電圧も $V_1$ より $V_2$ の方が高くなり、インバータB（227）の出力は高くなる。これとは逆に、電流 $I-2$ が電流 $I-1$ よりも小さければ、インバータB（227）の出力は低くなる。したがって、2つの電流の大小比較が可能となる訳である（ステップS64）。

【0190】この状態で、画素読出しパルス $\phi_{POUT}$

(310)をハイ・レベルに転じて、画素読出しスイッチ(229)をオンにすることによって、垂直信号線(230)には電流 $I-1$ と $I-2$ の比較結果に応じてインバータB(228)の出力レベルが現れることになる(ステップS65)。そして、画素読出しパルス $\phi$  POUT(310)をロー・レベルに戻して、続いてメモリTR-1転送パルス $\phi$  MTX-1(304)及び負荷TRパルス $\phi$  VL(312)をロー・レベルに戻すことによって、画素読出し動作が完了する。

【0191】このとき、垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する(ステップS66)。垂直信号線(230)のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器(図示しない)によって行われる。

【0192】垂直信号線(230)のレベル、すなわち、今読み出された画素の出力レベルがハイ・レベルならば、電流 $I-2$ は $I-1$ より大きい、あるいは、受光期間(2)で光電変換された電子数は受光期間(1)で光電変換された電子数よりも少ない、すなわち、入射光がいったん明るくなって再び暗くなるという明度の変化があったと判断することができる。この場合、サンプリング周期 $\Delta T$ に時刻カウンタ値 $n$ で乗算した値 $\Delta T \times n$ を時刻情報として出力して(ステップS77)、図12に示す本処理ルーチン全体を終了する。

【0193】他方、垂直信号線(230)のレベル、すなわち、今読み出された画素の出力レベルがロー・レベルならば、時刻カウンタ $n$ を1だけインクリメントして(ステップS67)、後続のステップに進む。

【0194】ステップS68～S78は、上述したステップS58～S67の処理において、メモリTR-1(219)とメモリTR-2(222)の各々の役割を入れ替えたものに相当する。

【0195】すなわち、ステップS68～S78においては、メモリTR-2(222)に記憶されている電流の方が、メモリTR-1(219)に記憶されている電流よりも時間的に後で記憶された信号となる。したがって、メモリTR-2(222)が次に新たに光電変換された信号に対応する電流を記憶するように、時間的に前で記憶された信号を書き換えなければならない。

【0196】そこで、まず、リセットTR(213)のゲートにリセット・パルス $\phi$  RST(301)を印加することによって、アンプTR(214)のゲート電位VFD(240)を電源電圧に対応したリセット・レベルに設定して(ステップS68)、再びリセット・パルス $\phi$  RST(301)をロー・レベルに戻す。

【0197】次いで、図11のタイミング・チャートの受光期間(3)で発生した電子をアンプTR(214)のゲート側に転送する(ステップS69)。この処理は、転送TR(212)のゲートに転送パルス $\phi$  PTX

(302)を印加した後、再び転送パルス $\phi$  PTX(302)をロー・レベルに戻すことによって行われる。

【0198】このとき、アンプTR(214)のゲート電位VFD(240)は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-1(219)に記憶させるためには、各トランジスタは以下のように動作すればよい。

【0199】受光信号読出しパルス $\phi$  RD(303)、メモリTR-1転送パルス $\phi$  MTX-1(304)、メモリTR-1短絡パルス $\phi$  MEM-1(305)を同時に印加することによって、上述した発生電流がアンプTR(214)に流れる。また、受光信号読出しスイッチ(216)がオンになっているので、カレントミラー回路(215)によって増幅された電流(以下、「 $I-1$ 」とする)が、メモリTR-1転送スイッチ(217)を介してメモリTR-1(219)に流れ込むことになる。但し、メモリTR-1短絡スイッチ(218)がオンになっているので、このときのメモリTR-1(219)は飽和領域で動作している。

【0200】ここで、メモリTR-1短絡パルス $\phi$  MEM-1(305)をロー・レベルに戻すと、メモリTR-1短絡スイッチ(218)がオフとなり、メモリTR-1(219)はこれまで流れていた電流 $I-1$ を記憶することになる(ステップS70)。

【0201】このとき、受光信号読出しスイッチ(216)とメモリTR-1転送スイッチ(217)は、メモリTR-1短絡スイッチ(218)がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルス $\phi$  RD(303)とメモリTR-1転送パルス $\phi$  MTX-1(304)がロー・レベルになるタイミングはずらしてある。

【0202】次いで、ステップS71～S75では、メモリTR-2(222)とメモリTR-1(219)の各々に記憶されている電流 $I-2$ と $I-1$ を比較する。これは、すなわち、受光期間(2)と受光期間(3)の各期間において光電変換されて発生した電子数の大小比較を行うことに相当する。

【0203】まず、メモリTR-2転送パルス $\phi$  MTX-2(306)及び負荷TRパルス $\phi$  VL(312)とともに印加することによって、メモリTR-2転送スイッチ(222)と負荷TR(231)とともにオンにする。この結果、メモリTR-2(222)に記憶されている電流 $I-2$ が負荷TR(231)に流れ込み、その電流値に応じた負荷電圧(以下、「 $V_2$ 」とする)がドレイン側に発生する。

【0204】このとき、インバータA短絡スイッチ(223)とインバータB短絡スイッチ(226)の各ゲートに対してインバータA短絡パルス $\phi$  CMPA(308)とインバータB短絡パルス $\phi$  CMPB(309)を同時に印加する。この結果、インバータA短絡スイッチ(2

23)とインバータB短絡スイッチ(226)はともにオンされて、インバータA(224)及びインバータB(227)の入出力は短絡されることになる(ステップS71)。これによって、インバータA(224)及びインバータB(227)の各出力電圧は、それぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

【0205】そして、インバータA短絡パルス $\phi_{CMPA}$ (308)を最初にロー・レベルにすることによってインバータA短絡スイッチ(223)をオフにすると、インバータA(224)の出力電圧は短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し(以下、「 $V_{inv-A2}$ 」とする)、インバータA(224)の出力が確定する(ステップS72)。その電圧値は、負荷TR(231)に電流I-2が流れたときに発生する電圧V2がキャパシタA(225)に印加されたときの出力に対応している。

【0206】また、この時点では、キャパシタA(225)の両端には、負荷TR(231)に電流I-2が流れたときに発生する電圧(V2)とインバータA(224)の動作点電圧に近い値が印加されている(以下、「 $V_{inv-A1}$ 」とする)。

【0207】一方、インバータB(227)は未だ短絡状態なので、ステップS72におけるインバータA(224)の出力電圧の小さな変動はインバータB(227)側の出力には現れていない。

【0208】次いで、インバータB短絡パルス $\phi_{CMPB}$ (309)をロー・レベルにすることによって、インバータB短絡スイッチ(226)をオフにすると、インバータB(227)の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保っている(以下、「 $V_{inv-B2}$ 」とする)。この値が、負荷TR(231)に電流I-2が流れたときに発生する電圧(V2)がキャパシタA(225)、インバータA(224)、並びにキャパシタB(228)を介してインバータB(227)に加わったときの出力に対応している(ステップS73)。この時点では、キャパシタB(228)の両端には、インバータA(224)の出力電圧 $V_{inv-A2}$ と、インバータB(228)の動作点電圧に近い電圧(以下、「 $V_{inv-B1}$ 」とする)がそれぞれ印加されている。

【0209】この状態で、メモリTR-2転送パルス $\phi_{MTX-2}$ (306)及び負荷TRパルス $\phi_{VL}$ (312)をロー・レベルにして、メモリTR-2転送スイッチ(220)及び負荷TR(231)をともにオフすることによって、メモリTR-2(222)に記憶された電流I-2の読出しが完了する。

【0210】次いで、再び負荷TRパルス $\phi_{VL}$ (312)をハイ・レベルに転じるとともに、同時にメモリTR-1転送パルス $\phi_{MTX-1}$ (304)もハイ・レベルに転じることによって、負荷TR(231)及びメモリTR-1転送スイッチ(217)をともにオンにす

る。この結果、メモリTR-1(219)に記憶されていた電流I-1が負荷TR(231)に流れ込んで、ドレイン側にはその電流値に対応した電圧(以下、「V1」とする)が発生する。

【0211】そして、この電圧V1が、先に電流I-2が流れたときに負荷TR(231)に発生した電圧V2より低ければ、キャパシタA(225)のインバータA(224)側の電位は、先の $V_{inv-A1}$ よりV2-V1だけ下降することになる(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとす)。したがって、インバータA(224)の出力は $V_{inv-A2}$ より上昇して、その結果、キャパシタB(228)のインバータB(227)側電位が上昇し、インバータB(227)の出力電圧は下降することになる。

【0212】逆に、電圧V1が電圧V2よりも高ければ、キャパシタA(225)のインバータA(224)側電位は $V_{inv-A1}$ よりV1-V2だけ上昇して、インバータA(224)の出力は $V_{inv-A2}$ より下降する(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとす)。その結果、キャパシタB(228)のインバータB(227)側電位も下降して、インバータB(227)の出力電圧が上昇することになる。

【0213】すなわち、メモリTR-1(219)に記憶されていた電流I-1が、メモリTR-2(222)に記憶されていた電流I-2よりも大きければ、負荷TR(231)に発生する電圧もV2よりV1の方が高くなり、インバータB(228)の出力は高くなる。これとは逆に、電流I-1が電流I-2よりも小さければ、インバータB(228)の出力は低くなる。したがって、2つの電流の大小比較が可能となる訳である(ステップS74)。

【0214】この状態で、画素読出しパルス $\phi_{POUT}$ (310)をハイ・レベルに転じて、画素読出しスイッチ(229)をオンにすることによって、垂直信号線(230)には電流I-1とI-2の比較結果に応じてインバータB(228)の出力レベルが現れることになる(ステップS75)。そして、画素読出しパルス $\phi_{POUT}$ (310)をロー・レベルに戻して、続いてメモリTR-2転送パルス $\phi_{MTX-2}$ (306)及び負荷TRパルス $\phi_{VL}$ (312)をロー・レベルに戻すことによって、画素読出し動作が完了する。

【0215】このとき、垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する(ステップS76)。垂直信号線(230)のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器(図示しない)によって行われる。

【0216】垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがハイ・レベル

ならば、電流 $I-1$ は $I-2$ より大きい、あるいは、受光期間(3)で光電変換された電子数は受光期間(2)で光電変換された電子数よりも少ない、すなわち、入射光がいったん明るくなって再び暗くなるという明度の変化があったと判断できる。この場合、この場合、サンプリング周期 $\Delta T$ に時刻カウンタ値 $n$ で乗算した値 $\Delta T \times n$ を時刻情報として出力して(ステップS77)、本処理ルーチン全体を終了する。

【0217】他方、垂直信号線(230)のレベル、すなわち、今読み出された画素の出力レベルがロー・レベルならば、時刻カウンタ $n$ を1だけインクリメントして(ステップS77)、ステップS58に戻って上述と同様の処理を繰り返し実行する。

【0218】次いで、受光期間(3)と受光期間(4)の各期間で発生した電子数の大小比較、さらには受光期間(4)と受光期間(5)の各期間で発生した電子数の大小比較というように、明るさの時間的変化の演算を順次実行することができる。

【0219】このように、フォト・ダイオード出力に相当する電流信号を記憶するメモリTRを各受光期間毎に入れ替えて、比較する際の読み出しの順番も変えることによって、常に時間的に後の信号が前の信号よりも大きいか小さいかを同じ基準で判断することができる訳である。

【0220】図11及び図12に示す処理動作を実行する結果として、本実施例に係る撮像素子の各単位画素は、明るさの時間的な変化をとらえ、明度の時間的なピーク検出を高速に行うことが可能となる。

【0221】図11及び図12に示すような動作特性を持つ単位画素からなる撮像素子を用いることによって、例えば、1フレーム目で撮像した被写体画像と2フレーム目で撮像した被写体画像を求めることで、被写体の明るさの時間的変化を求めることができる。

【0222】被写体の明るさの時間的変化を求めることができる撮像素子を用いることにより、いわゆる3角測量の原理に従って、被写体までの距離を計測するアクティブ型距離計測システムを構成することができる。この種のアクティブ型距離計測システムについては、例えば、本出願人に既に譲渡されている特願2000-107723号明細書に開示されている。また、アクティブ型の距離計測原理については、例えば「三次元画像計測」(井口、佐藤共著、昭晃堂)に記載されている。

【0223】勿論、駆動クロック・ジェネレータ2が出力する各クロック・パルスのタイミングを切り換えることによって、本実施例に係る単位画素の各々は、フォト・ダイオード出力に対して上記(AD変換や変化が急峻となる時刻の検出)以外の演算処理を行うことも可能である。

#### 【0224】第2の実施形態

図13には、本発明の第2の実施形態に係る撮像素子1

001を適用した撮像システム全体の構成例を模式的に示している。

【0225】信号発生器1002は、撮像素子1001を駆動するのに必要な信号を発生する。そして、発生した各信号は撮像素子1001に入力され、撮像素子1001内の垂直スキャナ1020で画素制御信号として、撮像素子1001を構成する各画素11に伝達される。

【0226】フレーム・メモリ1004は、撮像素子1001の画素数に相当するアドレス空間を有しており、またそのデータ幅は撮像素子1001の撮像結果を表現するのに必要なサイズを持っている。フレーム・メモリ1004は、信号処理部1003と双方向バスで接続されており、信号処理部1003で生成された画素毎の処理結果を入力して記憶したり、その内容を必要に応じて逆に信号処理部1003に引き渡したりする。

【0227】信号処理部1003は、撮像素子1001の出力信号を入力して、デジタル・データのままで画素毎に処理した上で、その結果を上述のフレーム・メモリ1004に出力する。

【0228】デジタル・アナログ変換部1005は、信号処理部1003からの画素毎のデジタル信号を入力して、それをアナログ信号に変換して出力する。

【0229】表示部1006は、デジタル・アナログ変換部1005から出力されるアナログ信号を入力して、画面(図示しない)上に表示出力する。

【0230】図14には、本発明の第2の実施形態に係る撮像素子1001の回路構成を模式的に示している。同図に示すように、撮像素子1001は、 $M \times N$ 個の画素1が2次元マトリックス状に配列され、各行毎に画素制御信号1012が敷設されるとともに、各列毎に垂直信号線1013が敷設されて構成される。そして、各画素列からの $N$ 本の垂直信号線1013は、水平出力回路1030に接続されており、その出力信号は、シリアル変換されて撮像素子1001の外部に出力されたり、出力レートを高速にするためにパラレルで撮像素子1001の外部に出力されるようになっている。

【0231】信号発生器1002は、単位画素を駆動するための図示の各クロック・パルス信号をそれぞれ所定のタイミングで発生させる回路である。

【0232】また、垂直駆動回路1020は、信号発生器1002において発生されたクロック・パルスを、水平方向に並んだ $M$ 個の単位画素からなる画素行の各々に対して、動作タイミングをずらしながら画素制御信号1012経由で供給する。

【0233】図14中に示した画素制御信号1012は、各画素を駆動するための受光部制御パルス1200、増幅部制御パルス1210、第1記憶部制御パルス1220、第2記憶部制御パルス1230、比較部制御パルス1240、バイアス部制御パルス1250、そして出力部制御パルス1260(後述)をひとまとまりに



したものである。これら駆動クロック・パルス所定のタイミングで動作させることによって、撮像素子に対して画素出力信号のAD変換処理やその他の演算処理を適用することができる。但し、駆動クロック・パルスの動作タイミングや演算処理の手順については、後に詳解する。

【0234】図15には、撮像素子1を構成する単位画素の構造を模式的に図解している。同図に示すように1つの画素は、受光部1100と、増幅部1101と、第1記憶部1102及び第2記憶部1103と、比較部1104と、バイアス部1105と、出力部1106とで構成される。

【0235】受光部1100は、入射した光の強度に応じて光電変換された信号を増幅部1101に対して出力する。

【0236】受光部制御パルス1200は、受光部1100の内部状態のリセット動作や、光電変換された信号の内部転送動作を制御する入力パルスであり、リセット・パルス $\phi_{RST}$  (1201)、転送パルス $\phi_{TX}$  (1202)が含まれる。

【0237】増幅部1101は、受光部1100からの出力信号を入力して増幅した信号を、第1記憶部1102及び第2記憶部1103に対して出力する。

【0238】増幅部制御パルス1210は、増幅部1101で増幅した信号を出力するか否かを制御する入力パルスであり、増幅部読出しパルス $\phi_{AG}$  (1211)が含まれる。

【0239】第1記憶部1102並びに第2記憶部1103は、増幅部1101から出力される信号を記憶しておき、比較部1104へ出力するようになっている。

【0240】第1記憶部制御パルス1220並びに第2記憶部制御パルス1230は、それぞれ第1記憶部1102、第2記憶部1103への信号記録動作及び信号読出し動作の制御を行う。第1記憶部制御パルス1220には、第1記憶パルス $\phi_{MSWF}$  (1221)、第1記憶ゲート・パルス $\phi_{MGF}$  (1222)が含まれる。また、第2記憶部制御パルス1220には、第2記憶パルス $\phi_{MSWS}$  (1231)、第2記憶ゲート・パルス $\phi_{MGS}$  (1232)が含まれる。

【0241】比較部1104は、第1記憶部1102並びに第2記憶部1103から読み出される信号を入力して、両者を比較した結果として0 (ロー・レベル) 又は1 (ハイ・レベル) の信号を出力する。

【0242】比較部制御パルス1240は、比較部1104の動作制御を行う入力パルスであり、負荷パルス $\phi_{QL}$  (1241)、第1インバータ短絡パルス $\phi_{INV F}$  (1242)、第2インバータ短絡パルス $\phi_{INVS}$  (1243)が含まれる。

【0243】バイアス部1105は、比較部1104にバイアス信号を加えることによって、入力される2つの

信号に対してバイアス信号を付加する。

【0244】バイアス部制御パルス1250は、バイアス部1105から出力されるバイアス信号を制御するための入力パルスであり、第1バイアス・ゲート・パルス $\phi_{GBF}$  (1252)、並びに、第2バイアス・ゲート・パルス $\phi_{GBS}$  (1253)が含まれる。

【0245】出力部1106は、比較部1104の比較結果信号を画素信号1107として単位画素の外部に出力する。

【0246】出力部制御パルス1260は、出力部1106の動作制御を行うための入力パルスであり、出力ゲート・パルス $\phi_{GOUT}$  (1261)が含まれる。

【0247】次に、上述した単位画素においてアナログ信号量である受光強度をデジタル信号に変換する原理の説明について、図16を参照しながら説明する。

【0248】まず、画素が受光してから記憶部1102、1103のうちいずれか一方に信号を記憶し、それを読み出してから比較処理を行って出力する一連の期間を、本明細書では「1フレーム」と定義しておく。

【0249】図16に示したグラフの横軸は、受光部1100において受光してから比較結果が出力されるフレームが何回繰り返されるか、すなわち何回比較処理が行われた時に画素出力が0から1に反転するかというフレーム番号を示している。そして、最大のフレーム数を $F_{MAX}$ と定義し、 $F_{MAX}$ の回数だけ比較処理を繰り返して、1回の撮像を完了するものとする。

【0250】また、図16に示すグラフの縦軸は、受光部1100における光強度の信号量 $S$ を表している。非常に明るい光を受光した場合の信号量の時間的変化を $VB$  (1051)とし、それよりわずかに弱い光の場合を $VB'$  (1052)とする。また、明るい光の場合を $B$  (1053)、中位の明るさの場合を $M$  (1054)、暗い光を受光した場合を $D$  (1055)、非常に暗い場合を $VD$  (1056)として、それぞれ光を受光したときの信号量の時間的変化を直線で表現している。同図に示す例では、明るさの違いは直線の傾き、すなわち信号量の時間的変化の大小で表現されると仮定している。したがって、明るい光ほど傾きが急で、暗い光ほど傾きは緩やかであるとしている。

【0251】さて、ここで、信号量が $R_H$ で時間的に一定であるような基準信号を考える。そして、それぞれの明るさの時間変化に対応する直線が、その基準信号レベル $R_H$ に交わるまでに必要なフレーム数あるいは時間を求める。少ないフレーム数で基準レベルと交わるほど明るく、多くのフレーム数で交わるほど暗いという性質を利用することによって、受光した光の明るさを表現することができる。フレーム数は離散的すなわちデジタル量であるから、結果として得られる明るさもデジタル量として表現されることになる。

【0252】上記の条件では、図示の通り、 $VB$  (10

51)との交点に対応するフレーム番号はF<sub>VB1</sub>である。また、VB' (1052)との交点はF<sub>VB'1</sub>であり、B (1053)との交点はF<sub>B1</sub>であり、そしてM (1054)との交点はF<sub>M1</sub>となっている。一方、D (1055)並びにVD (1056)は交点が存在しない。

$$\begin{aligned} I_{VB} &= K / F_{VB1} \\ I_{VB'} &= K / F_{VB'1} \\ I_B &= K / F_{B1} \\ I_M &= K / F_{M1} \end{aligned}$$

【0255】さて、基準信号レベルをR<sub>H</sub>としたとき、上記のように暗い光D1055、並びに非常に暗い光VD1056は、ここで設定している最大時間あるいは最大フレームの間には交点を持たないので明るさを表現することができない。そこで、基準信号レベルをR<sub>H</sub>からR<sub>M</sub>につり上げると、図16から判るように、直線D (1055)はフレームF<sub>D2</sub>で交点を持つようになる。そして、基準レベルをさらにつり上げてR<sub>L</sub>とすると、さらに直線VDがフレームF<sub>VD3</sub>で交わるのが判る。

$$\begin{aligned} I_{VB} &= K / F_{VB1} \\ I_{VB'} &= K / F_{VB1} \\ I_B &= K / F_{B3} \\ I_M &= K / F_{M3} \\ I_D &= K / F_{D3} \\ I_{VD} &= K / F_{VD3} \end{aligned}$$

【0258】ここで注意しなければならないのは、上記の(式11)は(式7)と同じであり、また、本来明るさが異なるはずの(式12)とも同じになっているという点である。これは、フレームF<sub>VB1</sub>が時間軸の最小単位で、最初のフレームに相当している場合に生じる現象である。言い換えれば、最初のフレームで画素出力が1であった場合、実際の明るさが違っても、上式のように表現する限りでは明るさの違いを識別することが不可能になってしまう。このような現象を避けるためには、明るい光に対しては基準レベルを低く設定するほどよい、ということが判る。

【0259】これまでの議論により、暗い光を検出して明るさとして表現するためには、基準レベルを上げる(これはゲインを上げることに相当する)必要がある。一方、明るい光を表現するためには、基準レベルを下げる(これはゲインを下げることに相当する)必要がある。そこで、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現するためには、

$$\begin{aligned} I_{VB} &= K / F_{VB} \\ I_{VB'} &= K / F_{VB'} \\ I_B &= K / F_B \\ I_M &= K / F_M \\ I_D &= K / F_D \\ I_{VD} &= K / F_{VD} \end{aligned}$$

【0263】図17に従う明るさの表現方法によれば、

【0253】この場合、受光した光の明るさを、定数Kと基準信号レベルと交点のフレーム番号を用いて下式のように表すことができる。すなわち、

【0254】  
【数5】

(式7)

(式8)

(式9)

(式10)

すなわち、基準レベルを上げることによって、明るさのゲインを大きくすることと等価の処理を行っていると考えることができる。

【0256】例えば基準レベルをR<sub>L</sub>としたときのそれぞれの光の明るさを、下式のように表現することができる。すなわち、

【0257】  
【数6】

(式11)

(式12)

(式13)

(式14)

(式15)

(式16)

明るい光が検出される時間的に早い期間、すなわちフレーム数の小さい範囲では、基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々につり上げていけばよいということを、当業者であれば理解できるであろう。

【0260】図17には、そのような基準レベルの設定方法の一例を示している。同図に示す例では、最初の基準レベルはR<sub>H</sub>から始まって徐々に(すなわち時間の経過とともに階段状に)上昇していき、最終的にはR<sub>L</sub>になっている。基準レベルの上昇の仕方は、1フレーム毎に少しずつ変化させてもよいし、数フレーム毎に変化させてもよい。

【0261】図17に示す明るさ変換ダイナミック・レンジ拡張原理に従えば、それぞれの明るさを表す直線と基準レベルとの交点から、受光したそれぞれの光の明るさは、以下のように表現される。すなわち、

【0262】  
【数7】

(式17)

(式18)

(式19)

(式20)

(式21)

(式22)

非常に明るいVB (1051)も、非常に暗いVD (1



056)も同時にすなわち同じ系で表現可能となる。

【0264】次いで、上述したようなダイナミック・レンジの広い撮像を実現可能とする方式を採用した実装回路の例について説明する。

【0265】図18には、図15に示した撮像素子の単位画素の各ブロックに関する1つの実装例を示している。

【0266】図19には、この単位画素のうち、受光部1100と増幅部1101の内部構成を詳細に示している。

【0267】受光部1100は、フォトダイオード(PD)1301と、転送トランジスタ(TX)1302と、フローティング・ディフュージョン(FD)1303と、リセット・トランジスタ(RST)1304から構成されている。そして、リセット・トランジスタ1304にはリセット・パルス( $\phi_{RST}$ )1201が与えられるとともに、転送トランジスタ(TX)1302には転送パルス( $\phi_{TX}$ )1202が与えられている。各入力パルス1201、1202は受光部制御パルス1200(前述)に相当する。

【0268】さて、リセット・トランジスタRST1304には、リセット電圧(VR)1203が印加されているので、リセット・パルス $\phi_{RST}$ 1201を入力することによって、リセット・トランジスタRST1304がオン状態に切り替わると、フローティング・ディフュージョンFD1303はリセット電圧VR1203の値によって決まる電位にリセットされる。そして、転送パルス $\phi_{TX}$ 1202によって転送トランジスタTX1302がオンすると、フォトダイオードPD1301で光電変換された電子がフローティング・ディフュージョンFD1303に転送されて、その電子数に応じた電位がフローティング・ディフュージョンFD1303に発生することになる。

【0269】フローティング・ディフュージョンFD1303の電位は受光量に対応しており、フォトダイオードPD1301が飽和しない限り、ほぼ明るさに比例すると考えられる。そして、明るいほど、すなわち受光量が多いほど光電変換で発生する電子数は多いので、フローティング・ディフュージョンFD1303の電位は低下し、逆に、暗いほど発生する電子数が少なくなるのでフローティング・ディフュージョンFD1303の電位は高くなる。

【0270】増幅部1101は、増幅トランジスタ(QA)1311と、増幅部読出し第1ゲート(AGF)1312と、増幅部読出し第2ゲート(AGS)1313と、カレント・ミラー回路1314及び1315とから構成されている。そして、増幅部読出し第1ゲートAGF1312及び増幅部読出し第2ゲート(AGS)1313には増幅部制御パルス1210としての増幅部読出しパルス( $\phi_{AG}$ )1211がそれぞれ与えられてい

る。

【0271】いま、増幅トランジスタQA1311のゲートには、受光部1100側のフローティング・ディフュージョン1303における電位が印加されている。この状態で増幅部読出しパルス $\phi_{AG}$ 1211が与えられると、増幅トランジスタQA1311のソース・ゲート間電位で決まる電流が増幅部読出し第1ゲートAGF1312及びミラー・トランジスタ1314を通して流れ、ミラー・トランジスタ1315と1314のサイズで決定される増幅された電流が増幅部第2ゲートAGS1313とミラー・トランジスタ1315を流れるようになっていく。

【0272】そして、フローティング・ディフュージョンFD1303の電位が高いほど、多くの電流が流れる。すなわち、受光した光が暗いほど増幅部第2ゲートAGS1313とミラー・トランジスタ1315を流れる電流は大きくなり、明るいほどその電流は小さくなる。

【0273】また、図20には、図15に示した単位画素のうち、第1記憶部1102と第2記憶部1103の内部構成を詳細に示している。

【0274】第1記憶部1102は、第1記憶トランジスタ(QMF)1321と、第1記憶トランジスタ・スイッチ(MSWF)1322と、第1記憶ゲート(MGF)1323から構成されている。そして、第1記憶トランジスタ・スイッチMSWF1322には第1記憶パルス( $\phi_{MSWF}$ )1221が、また、第1記憶ゲートMGF1323には第1記憶ゲート・パルス( $\phi_{MGF}$ )1222が、第1記憶部制御パルス1220(前述)としてそれぞれ与えられている。

【0275】同様に、第2記憶部1103は、第2記憶トランジスタ(QMS)1331と、第2記憶トランジスタ・スイッチ(MSWS)1332と、第2記憶ゲート(MGS)1333とから構成されている。そして、第2記憶トランジスタ・スイッチMSWS1332には第2記憶パルス( $\phi_{MSWS}$ )1231が、また、第2記憶ゲートMGS1333には第2記憶ゲート・パルス( $\phi_{MGS}$ )1232が、第2記憶部制御パルス1230としてそれぞれ与えられている。

【0276】そして、第1記憶ゲートMGF1323と第2記憶ゲートMGS1333はともに増幅部1101に接続されており、上述したカレントミラーで増幅された信号電流を入力できるようになっている。

【0277】さて、第1記憶部1102及び第2記憶部1103は、いわゆるカレントコピア回路、若しくはダイナミック・カレントミラー回路構成となっており、次のような動作で信号電流を記憶することができる。

【0278】まず、第1記憶ゲートMGF1323が第1記憶パルス $\phi_{MGF}$ 1222によってオン状態となっている期間に、第1記憶トランジスタ・スイッチMSW

F1322を第1記憶パルス $\phi$ MSWF1221によってオンに切り替えることによって第1記憶トランジスタQMF1321のゲートとドレインが短絡され、第1記憶ゲートMGF1323を通して信号電流が、いわゆる飽和領域動作の第1記憶トランジスタQMF1321に流れることになる。そして、第1記憶トランジスタ・スイッチMSWF1322だけをオフに切り替えても信号電流は流れ続けているので、第1記憶トランジスタQMF1321のゲート電位は、その信号電流を流すのに必要な値を保持することになる。次に、第1記憶ゲートMGF1323をオフに切り替えることによって信号電流は流れなくなるが、第1記憶トランジスタQMF1321のゲート電位が保持されている限りは、信号電流は記憶されていることになる。

【0279】すなわち、第1記憶ゲート・パルス $\phi$ MGF1222によって再び第1記憶ゲートMGF1323がオンに切り替えられると、保持されている第1記憶トランジスタQMF1321のゲート電位によって記憶されていた信号電流が再び流れ出すことになる。第2記憶部1103も上述と同様の動作によって第2記憶トランジスタQMS1331に信号電流を記憶することができる。

【0280】また、図21には単位画素のうちバイアス部1105の内部構成を詳細に示している。

【0281】バイアス部1105は、第1バイアス・トランジスタ(QBF)1351と、第2バイアス・トランジスタ(QBS)1352と、第1バイアス・ゲート(GBF)1353と、第2バイアス・ゲート(GBS)1354とで構成されている。そして、バイアス部制御パルス1250として、第1バイアス・トランジスタQBF1351と第2バイアス・トランジスタQBS1352にはバイアス電圧(VB)1251が、第1バイアス・ゲートGBF1353には第1バイアス・ゲート・パルス( $\phi$ GBF)1252が、第2バイアス・ゲートGBS1354には第2バイアス・ゲート・パルス( $\phi$ GBS)1253がそれぞれ与えられている(前述)。

【0282】そして、第1バイアス・ゲートGBF1353と第2バイアス・ゲートGBS1354の出力は第1記憶部1102及び第2記憶部1103の出力に接続されており、各記憶部1102、1103から出力される信号電流にバイアス電流を加算できるようになっている。

【0283】第1バイアス・トランジスタQBF1351と第2バイアス・トランジスタQBS1352の各ゲートには同じバイアス電圧VB1251が印加されているので、そのトランジスタ・サイズに応じた電流を流すことができるようになっている。したがって、第1バイアス・ゲートGBF1353に第1バイアス・ゲート・パルス $\phi$ GBF1252が印加されたときに流れ出るバ

イアス電流の大きさと、第2バイアス・ゲートGBS1354に第2バイアス・ゲート・パルス $\phi$ GBS1253が印加されて流れ出るバイアス電流の大きさの違いを与えることが可能となる。

【0284】また、図22には、比較部1104並びに出力部1106の内部構成をそれぞれ詳細に示している。

【0285】比較部1104は、負荷トランジスタ(QL)1341と、第1キャパシタ(CF)1342と、第1インバータ(INVF)1343と、第1インバータ短絡スイッチ(SWINVF)1344と、第2キャパシタ(CS)1345と、第2インバータ(INVS)1346と、第2インバータ短絡スイッチ(SWINVS)1347とで構成されている。そして、負荷トランジスタQL1341には負荷パルス( $\phi$ QL)1241が、第1インバータ短絡スイッチSWINVF1344には第1インバータ短絡パルス( $\phi$ INVF)1242が、第2インバータ短絡スイッチSWINVS1347には第2インバータ短絡パルス( $\phi$ INVS)1243が、比較部制御パルス1240(前述)としてそれぞれ与えられている。

【0286】そして、負荷トランジスタQL1341は、第1記憶部1102、第2記憶部1103、及びバイアス部1105の各出力に接続されており、これらから出力される信号電流を入力するようになっている。

【0287】さて、図示の比較部1104は、いわゆるチョッパ型比較器の構成をとっており、比較器内部の動作点によるオフセットをリセットする期間に入力された信号と、リセットが完了した後に入力される信号の大小に応じた出力が得られるようになっている。

【0288】まず、負荷トランジスタQL1341を負荷パルス $\phi$ QL1241の印加によってオンに切り替えることにより、比較対象の信号電流("IZ"とする)の大きさに応じた電位VZが第1キャパシタCF1342の第1インバータINVF1343と反対側の電極に発生する。

【0289】このとき、第1インバータ短絡パルス $\phi$ INVF1242の印加によって第1インバータ短絡スイッチSWINVF1344をオンに切り替えることによって第1インバータINVF1343を短絡すると、第1インバータINVF1343の入力側及び出力側いずれの電位も同じ値(第1インバータINVF1343の動作点電位VTHF)となり、第1キャパシタCF1342にはVZ-VTHFの電圧に相当する電荷が蓄積されることになる。

【0290】後段の第2インバータINVS1346を第2インバータ短絡スイッチSWINVS1347によって同時に短絡しておけば、第2インバータINVS1346の動作点電位をVTHSとすると、同様に、第2キャパシタCS1345にはVTHF-VTHSなる電

圧に相当する電荷が蓄積されることになる。

【0291】そして、第1インバータINV1343の短絡を解除し、その後、第2インバータINVS1346の短絡を解除しておく。

【0292】これに引き続き、比較するもう一方の信号電流（ $I_Y$ とする）を流して、再び負荷パルス $\phi_{QL1241}$ を印加することによって、 $I_Y$ に応じた負荷電位 $V_Y$ を負荷トランジスタQL1341に発生させる。これにより、第1キャパシタCF1342の負荷トランジスタQL1341側の電位は、先の $V_Z$ から $V_Y$ に変化することになる。

【0293】ここで、第1インバータINV1343の入力側容量が第1キャパシタCF1342に比べて無視できるほど小さいと仮定すれば、 $V_Y$ が $V_Z$ より大きければ、第1キャパシタCF1342の第1インバータINV1343側電位はVTHFより上昇する。逆に、 $V_Y$ が $V_Z$ より小さければ、第1インバータINV1343の入力側電位は下降することが判る。したがって、 $V_Y > V_Z$ のとき、第1インバータINV1343の出力はロー・レベルとなり、 $V_Y < V_Z$ ならば、第1インバータINV1343の出力はハイ・レベルとなる。

【0294】このような動作に連動して、第2キャパシタCS1345の両端電位も上昇若しくは下降するので、結局、比較部1104の出力すなわち第2インバータINVS1346の出力は、比較する信号の大小に応じて、 $I_Y > I_Z$ （ $V_Y > V_Z$ ）のときにハイ・レベルとなり、 $I_Y < I_Z$ （ $V_Y < V_Z$ ）のときにロー・レベルとなる。

【0295】出力部1106は、出力アンプ（BAMP）1361と、出力ゲート（GOUT）1362とで構成されている。そして、出力部制御パルス1260として、出力ゲート・パルス（ $\phi_{GOUT}$ ）1261が与えられている。

【0296】そして、出力ゲート・パルス $\phi_{GOUT1261}$ が印加されたときに、比較部1104の出力を適切なレベルに変換した信号レベルの画素出力（POUT）1107を垂直信号線1013に出力するようになっている。

【0297】次に、アナログ信号である受光量をデジタル信号に変換する仕組みについて、図23に示した明るさ変換タイミング・チャートを参照しながら説明する。

【0298】まず、基準信号記憶期間においては、第1記憶部1102に基準信号電流を記憶する動作を行う。

【0299】受光部1100において、リセット電圧1203を $V_{REF}$ に設定した状態で、リセット・パルス $\phi_{RST1201}$ を印加して、フローティング・ディフュージョンFD1303の電位を $V_{REF}$ に相当する値に設定する。

【0300】続いて、増幅部1101において増幅部読

出しパルス $\phi_{AG}$ を印加して増幅部読出し第1ゲートAGF1312及び増幅部読出し第2ゲートAGS1313を導通させ、フローティング・ディフュージョンFD1303の電位によって決まる電流を増幅トランジスタQA1311に発生させ、さらにカレントミラー1314、1315によって増幅された電流（ $I_{REF}$ とする）を得る。

【0301】このとき、第1記憶部1102で、第1記憶パルス $\phi_{MSWF1221}$ と第1記憶ゲート・パルス $\phi_{MGF1222}$ を同時に印加することによって、第1記憶ゲートMGF1323を介して第1記憶トランジスタQMF1321に上記電流 $I_{REF}$ が流れることになる。

【0302】その後、最初に第1記憶パルス $\phi_{MSWF1221}$ をロー・レベルに落として第1記憶トランジスタQMF1321の短絡を解除し、続いて、第1記憶ゲート・パルス $\phi_{MGF1222}$ を解除することによって、第1記憶トランジスタQMF1321に先の電流 $I_{REF}$ を記憶することができる。

【0303】以上で基準信号記憶期間の処理は完了である。

【0304】次に、第1フレームでの処理を行う。

【0305】受光部1100において、リセット電圧1203を $V_{REF}$ よりも高い電源電圧 $V_{DD}$ に設定した状態で、リセット・パルス $\phi_{RST1201}$ を印加して、フローティング・ディフュージョンFD1303の電位を $V_{DD}$ に相当する値に設定しておく。

【0306】このとき、フォトダイオードPD1301では、先の基準信号記憶期間に受光して光電変換された電子が蓄積されているので、転送パルス $\phi_{TX1202}$ を印加してフォトダイオードPD1301からフローティング・ディフュージョンFD1303に電子を転送することによって、フローティング・ディフュージョンFD1303をその電子数に応じた電位にすることができる。

【0307】続いて、増幅部1101において増幅部読出しパルス $\phi_{AG1211}$ を印加して増幅部第1ゲートAGF1312及び増幅部第2ゲートAGS1313を導通させ、フローティング・ディフュージョンFD1303の電位によって決まる電流を増幅トランジスタQA1311に発生させ、カレントミラー1314、1315によって増幅された電流（ $I_{F1}$ とする）を得る。

【0308】このとき、第2記憶部1103で第2記憶パルス $\phi_{MSWS1231}$ と第2記憶ゲート・パルス $\phi_{MGS1232}$ を同時に印加することによって、第2記憶ゲートMGS1333を介して第2記憶トランジスタQMS1331に上記電流 $I_{F1}$ が流れることになる。

【0309】その後、最初に第2記憶パルス $\phi_{MSWS1231}$ をロー・レベルに落として第2記憶トランジス

タQMS1331の短絡を解除し、続いて、第2記憶ゲート・パルス $\phi$ MGS1232を解除することによって第2記憶トランジスタQMS1331に先の電流 $I_{F1}$ を記憶することができる。

【0310】この後、第1記憶部1102に記憶された基準信号 $I_{REF}$ と第2記憶部1103に記憶された第1フレームにおける信号電流 $I_{F1}$ の比較動作を行う。

【0311】まず、第2記憶ゲート・パルス $\phi$ MGS1232と負荷パルス $\phi$ QL1241を印加することによって、第2記憶部1103内の第2記憶トランジスタQMS1331に記憶しておいた $I_{F1}$ を、比較部1104内の負荷トランジスタQL1341に流す。

【0312】さらに、同時に第2バイアス・ゲート・パルス $\phi$ GBS1253を印加して第2バイアス・ゲートGBS1354を導通し、 $V_{BIAS1251}$ を印加することによって第2バイアス・トランジスタQBS1352で発生するバイアス電流（“ $I_{BS}$ ”とする）も負荷トランジスタQL1341に流しているの、負荷トランジスタQL1341には信号電流 $I_{F1}$ と $I_{BS}$ によって決まる電圧 $Y_{F1}$ が発生する。

【0313】このとき、第1インバータ短絡パルス $\phi$ INVF及び第2インバータ短絡パルス $\phi$ INVSを印加することによって、第1インバータINVF1343と第2インバータINVS1346の入出力を同時に短絡し、比較部1104の動作点オフセットをリセットしておく。

【0314】この時点で、第1キャパシタCF1342の両端には、 $Y_{F1}-V_{THF}$ なる電圧がかかることになる。

【0315】次に、第1記憶ゲート・パルス $\phi$ MGF1222と負荷パルス $\phi$ QL1241を同時に印加することによって、第1記憶部1102内の第1記憶トランジスタQMF1321に記憶されていた基準信号電流 $I_{REF}$ を比較部1104内の負荷トランジスタQL1341に流す。

【0316】このとき、同時に第1バイアス・ゲート・パルス $\phi$ GBF1252を印加して第1バイアス・ゲートGBF1353を導通し、 $V_{BIAS1251}$ によって第1バイアス・トランジスタQBF1351で発生するバイアス電流（“ $I_{BF}$ ”とする）も負荷トランジスタQL1341に流す。

【0317】負荷トランジスタQL1341には、基準信号電流 $I_{REF}$ とバイアス電流 $I_{BF}$ が同時に流れることによって、電圧 $Y_{REF}$ が発生する。

【0318】先に示した比較器の動作原理により、 $Y_{F1}$ と $Y_{REF}$ の大小関係に応じたレベルが比較部1104の出力となり、出力部1106で出力アンプ1361を通して、出力ゲート・パルス $\phi$ GOUT1261を印加することによって、画素出力POUT1107として垂直信号線1013に出力される

【0319】すなわち、 $I_{F1} > I_{REF}$  ( $Y_{F1} > Y_{REF}$ ) ならば、画素出力POUT1107はロー・レベルとなり、また、 $I_{F1} < I_{REF}$  ( $Y_{F1} < Y_{REF}$ ) ならば画素出力POUT1107はハイ・レベルとなる。

【0320】第2フレーム以降は、リセット・パルス $\phi$ RST1201によるフローティング・ディフュージョンFD1303のリセット動作をしない。したがって、それまでのフレームで蓄積された電子数に、そのフレームで光電変換により発生した電子が追加されて決まる電位がフローティング・ディフュージョンFD1303に生じることになる。

【0321】例えば、第2フレームでは、第1フレームでフローティング・ディフュージョンFD1303に蓄積された電子に加えて、第1フレーム期間中に光電変換によって発生した電子を転送パルス $\phi$ TX1202の印加によってフローティング・ディフュージョンFD1303に転送し、その合算された電子数に応じてフローティング・ディフュージョンFD1303の電位が決定される。

【0322】そして、このように決定された電位によって増幅部1101内のカレントミラー回路から得られる電流 $I_{F2}$ （第2フレーム）、 $I_{F3}$ （第3フレーム）、 $I_{F4}$ （第4フレーム）、...を第2記憶部1103内の第2記憶トランジスタQMS1331に記憶することになる。

【0323】基準電流 $I_{REF}$ との比較動作は第1フレームの動作と同じである。

【0324】以上で説明した動作は、基準レベルを固定にしたときに受光量をフレームの数で表されるデジタル量に変換する場合を示している。

【0325】上記では、基準レベルを、基準信号記憶期間におけるリセット電圧VR1203の値によって設定し、さらに信号電流に付加されるバイアス電流をバイアス部1105内の第1バイアス・トランジスタQBF1351又は第2バイアス・トランジスタQBS1352のうちいずれから供給するかで決定しているが、勿論バイアス電流をまったく加えなくてもデジタル変換は可能である。

【0326】すなわち、第1バイアス・ゲート・パルス $\phi$ GBF1252や第2倍明日・ゲート・パルス $\phi$ GBS1253をロー・レベルに固定しておき、 $I_{BF} = I_{BS} = 0$ として、 $V_{REF}$ と $V_{DD}$ の差に相当する電流の差だけが基準信号レベルを決定することになる。

【0327】一方、逆にリセット電圧VR1203を $V_{DD}$ に固定したまま（すなわちすべてのフレームで一定）、バイアス電流の制御だけでデジタル変換することも可能である。その場合は、 $I_{BF}$ と $I_{BS}$ の差が、 $V_{REF}$ と $V_{DD}$ に相当する電流の差になるようにそれぞれを設定すればよい。

【0328】さて、いずれにしても上記動作では、図1

6を参照しながら既に説明したように、非常に明るい光から非常に暗い光の全ての光を表現できるとは限らない。そこで、本実施形態においてダイナミックレンジを拡張する方法について、図24並びに図25を参照しながら以下に説明する。

【0329】本実施形態では、図18に示したような単位画素の回路構成において、バイアス電流が時間とともに変化するようにして、基準信号が図17に示したように時間的变化をするのと同様の効果を付与することによって、ダイナミック・レンジの拡張を図っている。

【0330】そのために、図24に示すように、バイアス電圧 $V_{B1251}$ を最初のフレームで $V_B = V_{B1}$ としておき、フレーム毎、若しくは数フレーム毎に徐々にその値を増加させて、最終フレーム $F_{MAX}$ で $V_B = V_{BM}$ となるように制御する。一方、リセット電圧 $V_{R1203}$ は、 $V_{DD}$ のまま最終フレームまで一定とする。

【0331】図25は、図23に例示したものとほぼ同じタイミングチャートであるが、基準信号記憶期間でも、リセット電圧 $V_{R1203}$ は $V_{DD}$ となっている。そして、第1記憶部1102にこの状態で基準信号を記憶する。

【0332】第1フレーム以降において、図23と異なるところは、第1記憶部1102の信号を読み出して、第2記憶部1103に記憶されている受光強度に応じた信号と比較する際に、第1バイアス・ゲート・パルス $\phi_{GBF1252}$ はハイ・レベルになって、第1バイアス・トランジスタ $Q_{BF1351}$ からのバイアス信号も加算するが、第2バイアス・ゲート・パルス $\phi_{GBS1253}$ はロー・レベルのままとし、第2バイアス・トランジスタ $Q_{BS1352}$ で発生するバイアス電流は加算しないようにする。このような駆動制御を行うことによって、バイアス電圧 $V_{B1251}$ を変化させて第1バイアス・トランジスタ $Q_{BF1351}$ で発生するバイアス電流を可変とし、フレーム毎若しくは数フレーム毎に基準信号レベルを変えることが可能となる。

【0333】したがって、図17、並びに上記の(式17)～(式22)に示すような原理により、ダイナミック・レンジの広がった撮像結果が得られることになる。

【0334】最後に、図13並びに図14を参照しながら、各画素出力の処理方法について説明する。

【0335】画素出力 $POUT1107$ の信号レベルは、フレーム毎に垂直信号線1013を通して水平出力回路1030へ転送される。水平出力回路1030では、各画素列から並列的に転送されてきた画素出力 $POUT1107$ をシリアルに変換して撮像素子の外部に出力するか、若しくは各画素列毎にそのまま並列に撮像素子の外部に出力する2通りの出力形態が考えられる。

【0336】撮像素子1001から出力された画素信号は、信号処理部1003に入力されて、画素毎にその信号がハイ・レベルかロー・レベルかをチェックする。そ

して、ハイ・レベルであれば、そのときのフレーム番号をフレーム・メモリ1004内に画素毎に用意されたアドレスに書き込むようになっている。但し、書き込みは最初にハイ・レベルになったときだけとし、2回目以降は書き込まないようにしている。そして、このときに書き込まれたフレーム番号こそが、明るさを表現するための値となる。

【0337】この明るさを表示部1006に表示するためには、次のような手順に従う。

【0338】まず、フレーム・メモリ1004に記憶されたフレーム番号を画素毎に読み出して、信号処理部1003において、その値を上記の(式17)～(式22)を用いて変換する。この処理はデジタル信号の演算機能を用いれば簡単に実現でききことは当業者には理解できるであろう。そして、その変換されたデジタル信号を、デジタル・アナログ変換部1005に画素毎に順次転送して、表示部1006に適したアナログ信号に変換する。

【0339】これは、例えばNTSC (National Television System Committee) 信号やVGA (Video Graphic Array) 信号などの標準的な映像信号に変換することを意味する。

【0340】そして、デジタル・アナログ変換部1005からの出力は表示部1006で表示される。

【0341】〔追補〕以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。すなわち、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参酌すべきである。

【0342】

【発明の効果】以上詳記したように、本発明によれば、小型・軽量に構成された優れた撮像装置及びその駆動制御方法を提供することができる。

【0343】また、本発明によれば、CMOS (Complementary Metal-Oxide Semiconductor: 相補性金属酸化膜半導体) などの半導体製造技術を用いて実現される、優れた撮像装置及びその駆動制御方法を提供することができる。

【0344】また、本発明によれば、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる、優れた撮像装置及びその駆動制御方法を提供することができる。

【0345】また、本発明によれば、フォト・ダイオード出力に対するAD (Analog-to-Digital) 変換処理並びに他の1以上の演算処理を同じチップ上の回路モジュールを用いて実現することができる、優れた撮像装置及びその駆動制御方法を提供することができる。

【0346】本発明によれば、被写体の明るさの時間的な変化を演算する回路構成を持つ撮像素子を用いて、被写体の明るさというアナログ量をデジタル量に変換することができる。したがって、専用のアナログ-デジタル変換回路を搭載する必要がなく、同等の機能を持つ他の方式に比べて回路規模の抑制を行うことができる。

【0347】また、本発明によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

【0348】また、本発明によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

【0349】また、本発明によれば、受光信号強度をアナログ値からデジタル値に変換する際に、同時にダイナミック・レンジを拡大して、暗い領域から明るい領域に至るまで再現した画像を得ることができる、優れた撮像装置及びその駆動制御方法を提供することができる。そして、各画素に供給する駆動パルスのタイミングやパルスの有り無しを変更することによって、受光信号強度を表現する方法を自由に変更することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る撮像素子の回路構成を模式的に示した図である。

【図2】本発明の第1の実施形態に係る撮像素子に組み込まれた画素の内部構成を示した図である。

【図3】本発明を実現する単位画素の回路構成を詳細に示した図である。

【図4】図3に示す単位画素において、アナログ量である明るさをデジタル量に変換する原理図である。

【図5】(式1)～(式3)から得られる一般式(式4)をグラフ上にプロットした図である。

【図6】(式4)をさらに変形して得た(式5)をグラフ上にプロットした図である。

【図7】(式4)と(式5)とを用いて検出時刻TDを消去することによって求められた明るさVDとVD\*との関係式(式6)をグラフ上にプロットした図である。

【図8】図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作タイミング・チャートを示した図である。

【図9】図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るための動作フローチャートを示した図である。

【図10】図1に示す構成の撮像素子において、アナログ量である明るさをデジタル量に変換した信号を得るための動作タイミング・チャートを示した図である。

【図11】図3に示す単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出する

ための、各クロック・パルスの動作タイミング・チャートを示した図である。

【図12】明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各単位画素における動作フローチャートを示した図である。

【図13】本発明の第2の実施形態に係る撮像素子1001を適用した撮像システム全体の構成例を模式的に示した図である。

【図14】本発明の第2の実施形態に係る撮像素子1001の回路構成を模式的に示した図である。

【図15】撮像素子1を構成する単位画素の構造を模式的に示した図である。

【図16】アナログ信号量である受光強度をデジタル信号に変換する原理を説明するための図である。

【図17】明るさ変換ダイナミック・レンジの拡張原理を示した図である。

【図18】図15に示した撮像素子の単位画素の各ブロックに関する1つの実装例を示した図である。

【図19】単位画素のうち、受光部1100と増幅部1101の内部構成を詳細に示した図である。

【図20】単位画素のうち、第1記憶部1102と第2記憶部1103の内部構成を詳細に示した図である。

【図21】単位画素のうち、バイアス部1105の内部構成を詳細に示した図である。

【図22】単位画素のうち、比較部1104並びに出力部1106の内部構成を詳細に示した図である。

【図23】明るさ変換のタイミング・チャートを示した図である。

【図24】バイアス電圧変換のタイミング・チャートを示した図である。

【図25】ダイナミック・レンジ拡張タイミング・チャートを示した図である。

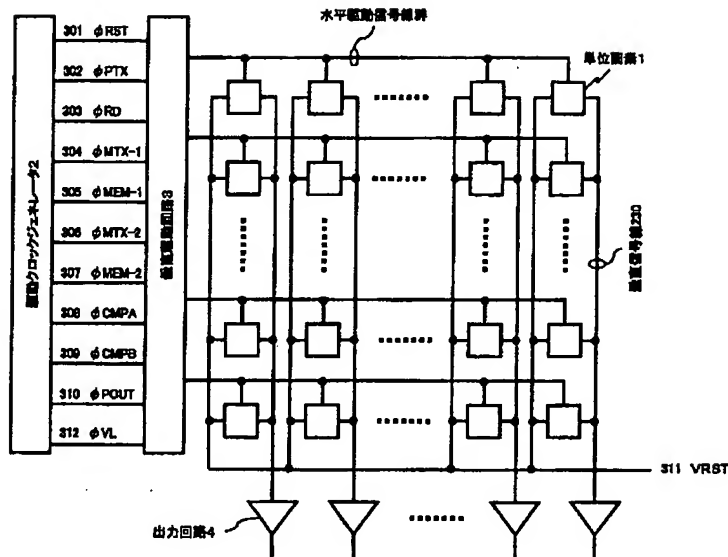
#### 【符号の説明】

- 1…画素
- 2…駆動クロック・ジェネレータ
- 3…垂直駆動回路
- 10…受光部
- 20…第1増幅部
- 30…第2増幅部
- 40…記憶部
- 50…負荷部及び演算部
- 55…バイアス部
- 60…出力部
- 1001…撮像素子
- 1002…信号発生器
- 1003…信号処理部
- 1004…フレーム・メモリ
- 1005…デジタル-アナログ変換部
- 1006…表示部
- 1011…単位画素

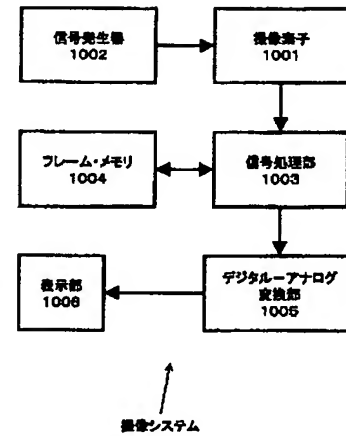
1012…画素制御信号  
 1013…垂直信号線  
 1030…水平出力回路  
 1100…受光部  
 1101…増幅部

1102…第1記憶部  
 1103…第2記憶部  
 1104…比較部  
 1105…バイアス部  
 1106…出力部

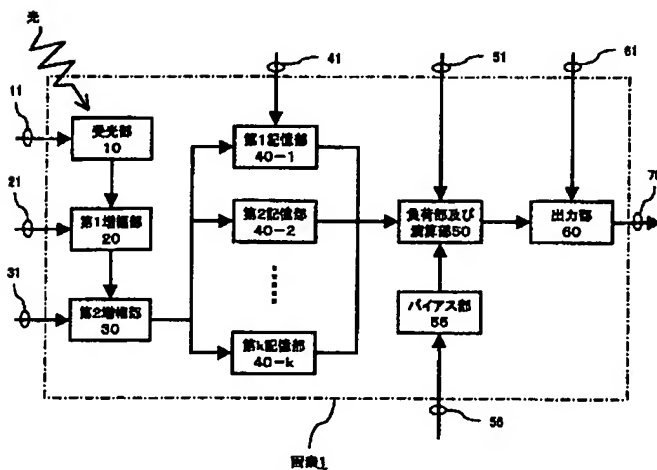
【図1】



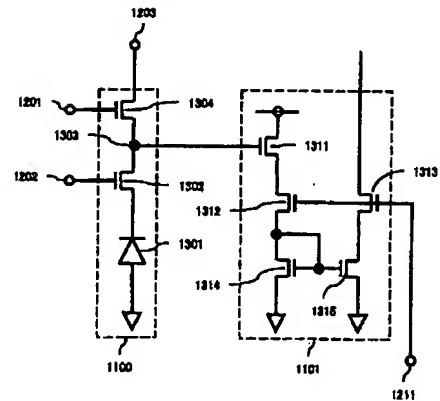
【図13】



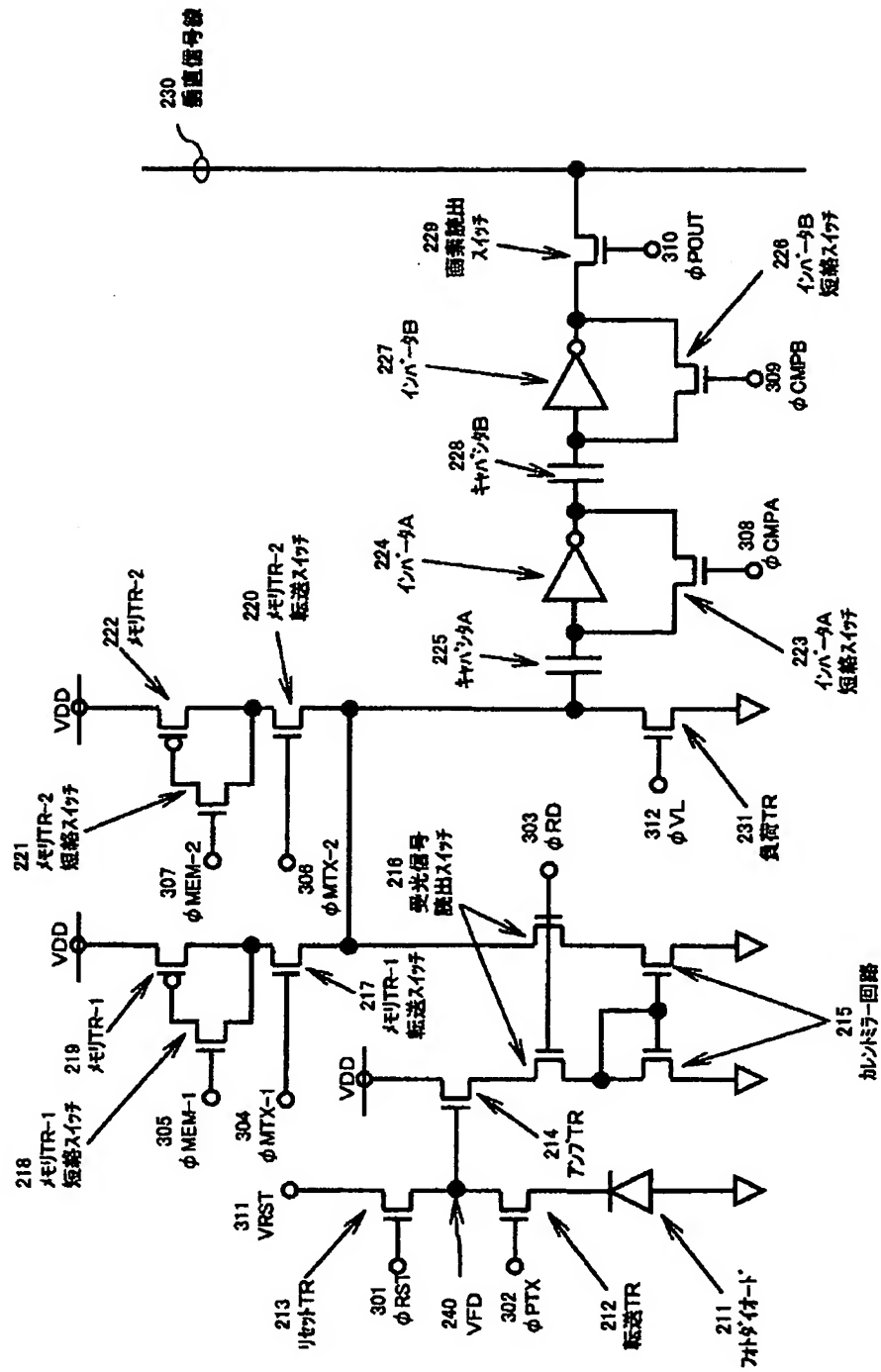
【図2】



【図19】



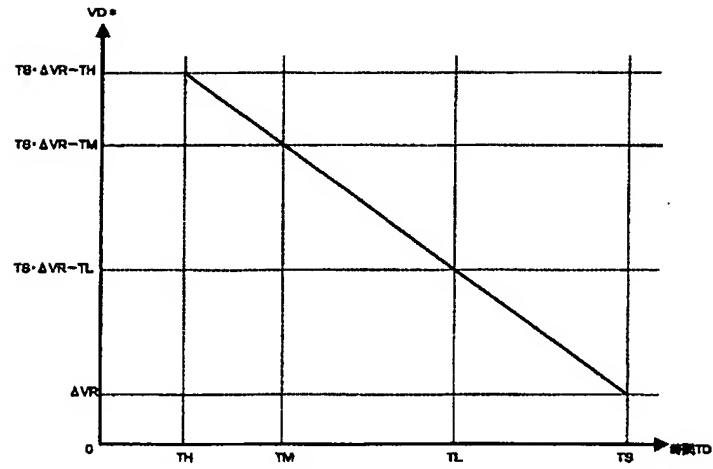
【図3】



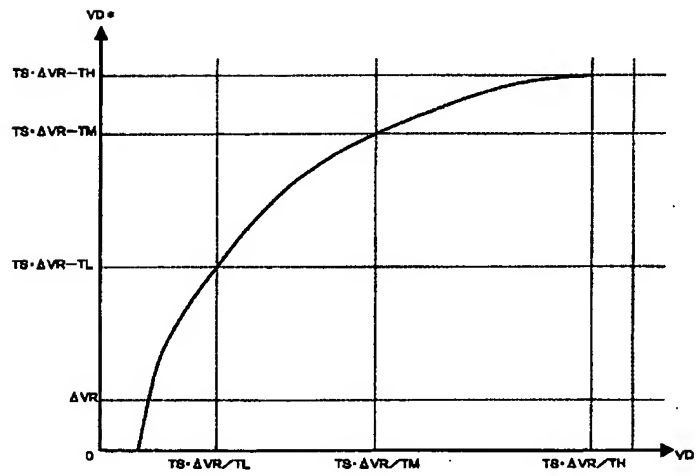




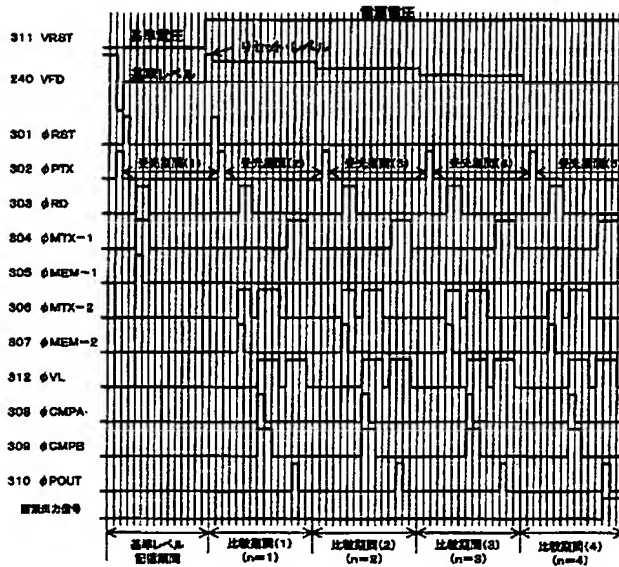
【図6】



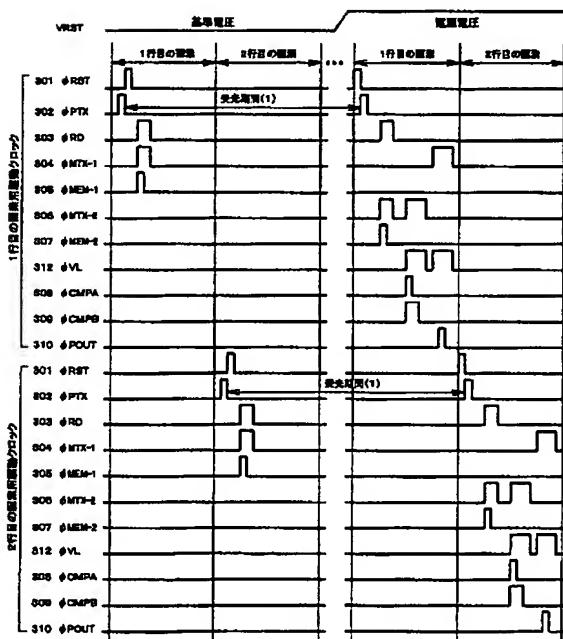
【図7】



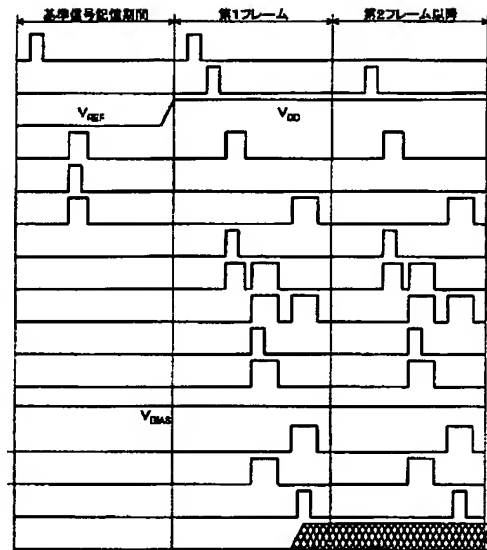
【図8】



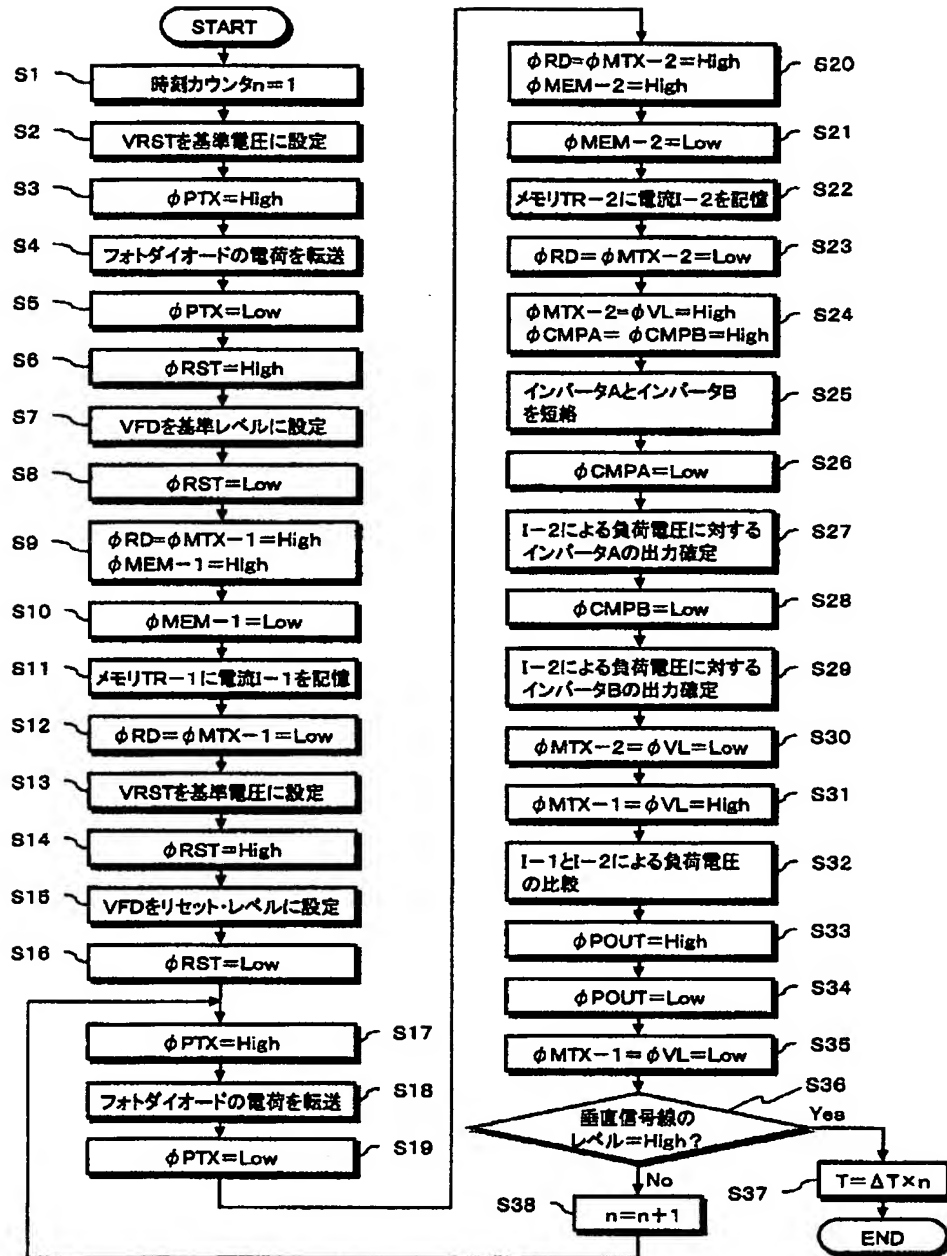
【図10】



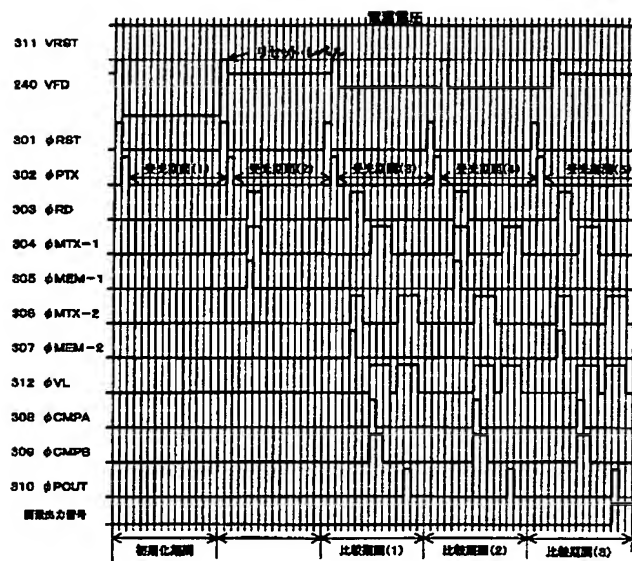
【図23】



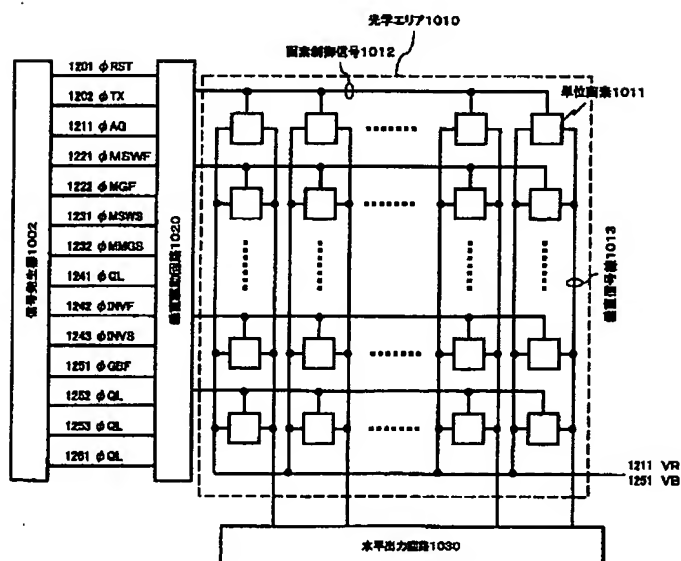
【図9】



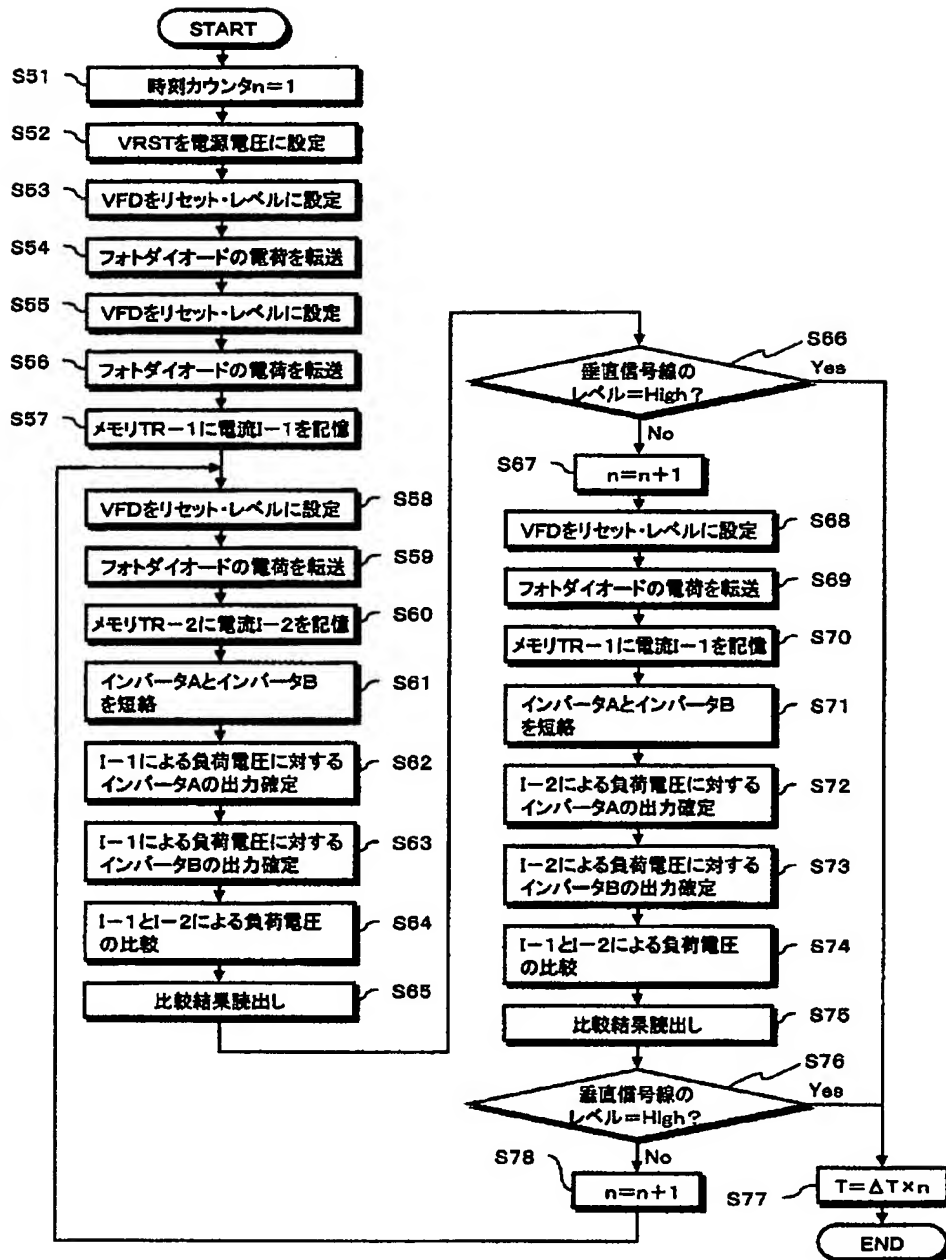
【図11】



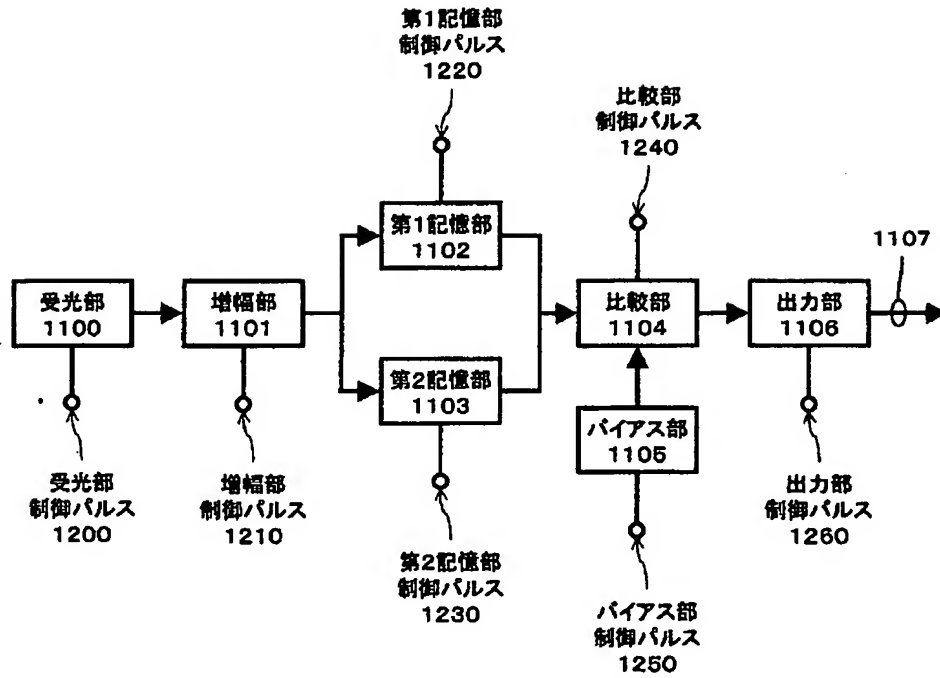
【図14】



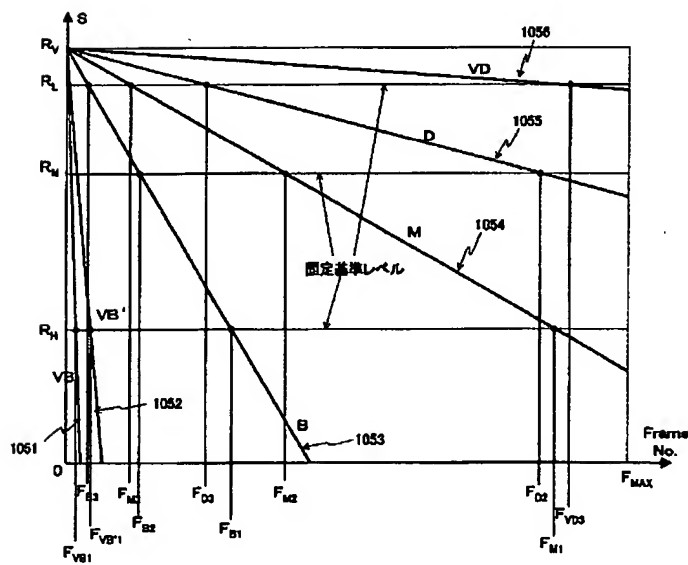
【図12】



【図15】



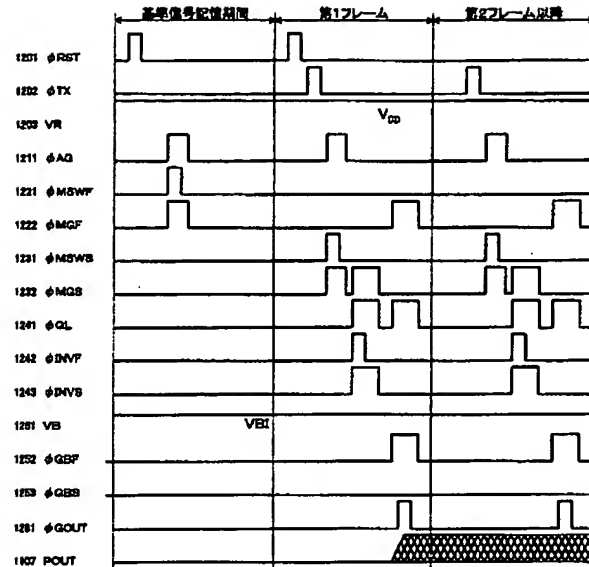
【図16】







【図25】



## 【手続補正書】

【提出日】平成13年5月7日(2001.5.7)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】図2には、撮像素子内に配列される画素1の内部構成を図解している。同図に示すように、画素1は、受光部10と、第1増幅部20と、第2増幅部30と、第1記憶部40-1から第k記憶部40-kまでのk個の記憶部と、負荷及び演算部50と、バイアス部55と、出力部60とで構成される。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0234

【補正方法】変更

【補正内容】

【0234】図15には、撮像素子1を構成する単位画素の構造を模式的に図解している。同図に示すように1つの画素は、受光部1100と、増幅部1101と、第1記憶部1102及び第2記憶部1103と、比較部1104と、バイアス部1105と、出力部1106とで構成される。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0273

【補正方法】変更

## 【補正内容】

【0273】また、図20には、図15に示した単位画素のうち、第1記憶部1102と第2記憶部1103の内部構成を詳細に示している。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0326

【補正方法】変更

【補正内容】

【0326】すなわち、第1バイアス・ゲート・パルスφGBF1252や第2バイアス・ゲート・パルスφGBS1253をロー・レベルに固定しておき、18F=18S=0として、VREFとVDDの差に相当する電流の差だけが基準信号レベルを決定することになる。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】図15

【補正方法】変更

【補正内容】

【図15】撮像素子100を構成する単位画素の構造を模式的に示した図である。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】図20

【補正方法】変更

【補正内容】

【図20】単位画素のうち、第1記憶部1102と第2

記憶部1103の内部構成を詳細に示した図である。

【手続補正7】

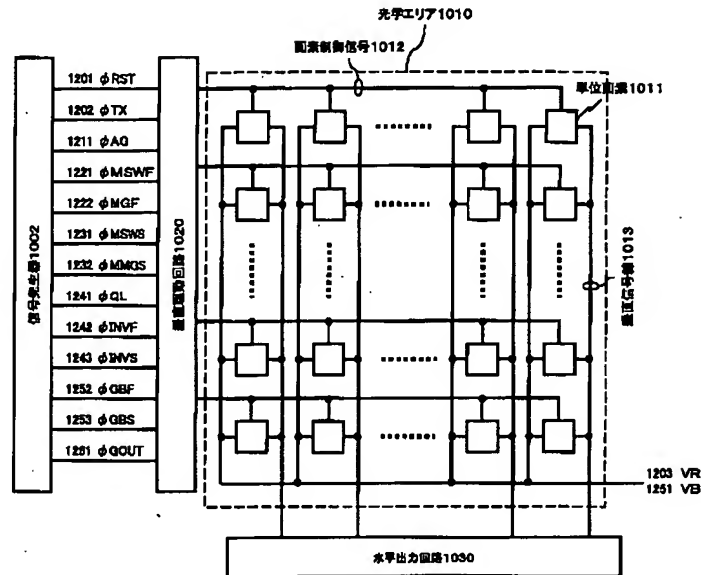
【補正対象書類名】図面

【補正対象項目名】図14

【補正方法】変更

【補正内容】

【図14】



【手続補正8】

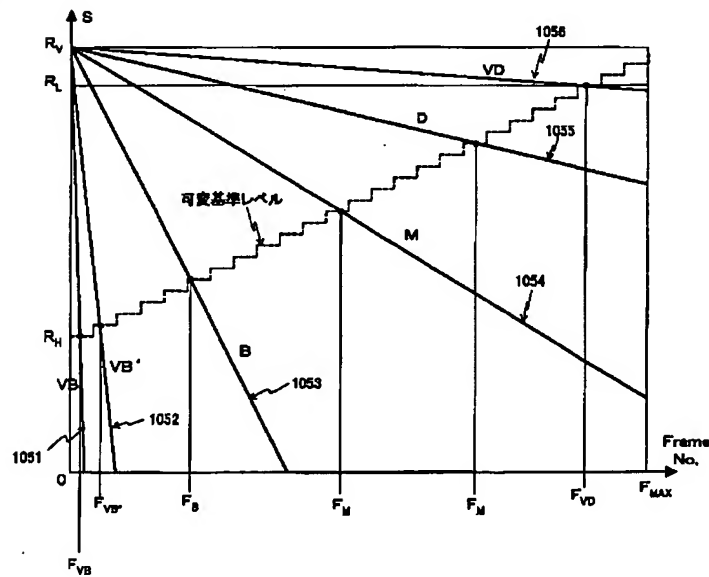
【補正対象書類名】図面

【補正対象項目名】図17

【補正方法】変更

【補正内容】

【図17】



【手続補正9】

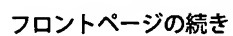
【補正対象書類名】図面

【補正対象項目名】図22

【補正方法】変更

【補正内容】

【図22】



テ-マコ-ト' (参考)

**A**

H O 1 L 27/14

CG04

H O 1 L 27/14